

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月 8日

出 願 番 号

Application Number:

特願2002-325774

[ ST.10/C ]:

[ JP 2002-325774 ]

出 願 人

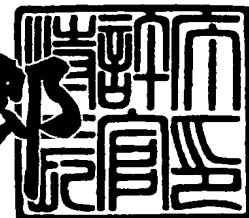
Applicant(s):

沖電気工業株式会社

2003年 5月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3035405

【書類名】 特許願

【整理番号】 OH003764

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

    【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社  
社内

    【氏名】 渡辺 潔敬

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

【代理人】

    【識別番号】 100085419

    【弁理士】

    【氏名又は名称】 大垣 孝

【手数料の表示】

    【予納台帳番号】 012715

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 下地と、

前記下地上に設けられている、複数の電極パッドを具えている第 1 の主表面と、  
該第 1 の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、  
前記第 1 の主表面と対向する第 2 の主表面と、前記表面保護膜の表面と第 2 の主表面との間の複数の側面とを有する半導体チップと、

前記半導体チップの前記側面を囲むように形成されている絶縁性の拡張部と、  
前記電極パッドの各々に電氣的に接続され、前記電極パッドから前記拡張部の表面上へと導出されている、複数の配線パターンと、

前記配線パターン上に、該配線パターンの一部分を露出するように形成されている封止部と、

前記拡張部の上側を含む領域の前記配線パターン上に設けられた複数の外部端子と  
を具えていることを特徴とする半導体装置。

【請求項 2】 前記配線パターンと前記外部端子との間に形成されている複数の電極ポストを具え、

前記封止部は、前記電極ポストの頂面を露出するように形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記拡張部は、前記封止部の成形収縮よりも大きい成形収縮を有する絶縁性の材料により形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記拡張部は、ガラス転移点よりも低い温度範囲での線膨張係数が  $1.5 \times 10^{-5} / ^\circ\text{C}$  よりも小さく、かつ弾性率が  $7.8 \sim 22 \text{ GPa}$  の範囲の絶縁性の液状樹脂により形成されていることを特徴とする請求項 1 ～ 3 のいずれか一項に記載の半導体装置。

【請求項 5】 (1) 下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する工程と、

(2) 前記下地上の前記半導体チップ配置領域以外の領域に、拡張部を、絶縁性の材料により形成する工程と、

(3) 前記半導体チップ配置領域上に、複数の電極パッドを具えている第1の主表面と、該第1の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第1の主表面と対向する第2の主表面と、前記表面保護膜の表面と第2の主表面との間の複数の側面とを有する半導体チップを、該第2の主表面と前記半導体チップ配置領域とが対面するように設ける工程と、

(4) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(5) 前記配線パターン上に、封止部を、前記拡張部上を含む領域の配線パターンの一部分を露出するように形成する工程と、

(6) 前記拡張部上を含む領域の前記配線パターン上に複数の外部端子を形成する工程と、

(7) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項6】 (1) 下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する工程と、

(2) 前記下地上の前記半導体チップ配置領域以外の領域に、拡張部を、絶縁性の材料により形成する工程と、

(3) 前記半導体チップ配置領域上に、複数の電極パッドを具えている第1の主表面と、該第1の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第1の主表面と対向する第2の主表面と、前記表面保護膜の表面と第2の主表面との間の複数の側面とを有する半導体チップを、該第2の主表面と前記半導体チップ配置領域とが対面するように設ける工程と、

(4) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(5) 前記拡張部上の前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(6) 前記配線パターン及び前記電極ポスト上に、該電極ポストの頂面を露出するように封止部を形成する工程と、

(7) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(8) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項7】 前記(2)工程が、前記下地上の前記半導体チップ配置領域以外の領域を、絶縁性の材料により覆う工程であり、

前記(3)工程と前記(4)工程との間に、前記絶縁性の材料を硬化して、拡張部を形成する工程をさらに含む

ことを特徴とする請求項5又は6に記載の半導体装置の製造方法。

【請求項8】 下地と、

前記下地上に設けられていて、絶縁性の材料により形成されている、凹部を有する拡張部と、

複数の電極パッドを具えている第1の主表面と、該第1の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第1の主表面と対向する第2の主表面と、前記表面保護膜の表面と第2の主表面との間の複数の側面とを有し、該側面が前記拡張部に囲まれるように、前記拡張部の凹部内に設けられている半導体チップと、

前記電極パッドの各々に電氣的に接続され、前記電極パッドから前記拡張部の表面上へと導出されている、複数の配線パターンと、

前記配線パターン上に、該配線パターンの一部分を露出するように形成されている封止部と、

前記拡張部の上側を含む領域の前記配線パターン上に設けられた複数の外部端子と

を具えていることを特徴とする半導体装置。

【請求項9】 前記配線パターンと前記外部端子との間に形成されている複数の電極ポストを具え、

前記封止部は、前記電極ポストの頂面を露出するように形成されていることを

特徴とする請求項 8 に記載の半導体装置。

【請求項 1 0】 前記拡張部は、前記封止部の成形収縮よりも大きい成形収縮を有する絶縁性の材料により形成されていることを特徴とする請求項 8 又は 9 に記載の半導体装置。

【請求項 1 1】 前記拡張部は、ガラス転移点よりも低い温度範囲での線膨張係数が  $1.5 \times 10^{-5} / ^\circ\text{C}$  よりも小さく、かつ弾性率が  $7.8 \sim 22 \text{ GPa}$  の範囲の絶縁性の液状樹脂により形成されていることを特徴とする請求項 8 ～ 1 0 のいずれか一項に記載の半導体装置。

【請求項 1 2】 (1) 下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する工程と、

(2) 前記半導体チップ配置領域上に凹部が形成されるように、絶縁性の材料からなる拡張部を形成する工程と、

(3) 前記凹部内に、複数の電極パッドを具えている第 1 の主表面と、該第 1 の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第 1 の主表面と対向する第 2 の主表面と、前記表面保護膜の表面と第 2 の主表面との間の複数の側面とを有する半導体チップを、該第 2 の主表面と対面するように設ける工程と、

(4) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(5) 前記拡張部上を含む領域の前記配線パターン上に複数の外部端子を形成する工程と、

(6) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】 (1) 下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する工程と、

(2) 前記半導体チップ配置領域上に凹部が形成されるように、絶縁性の材料からなる拡張部を形成する工程と、

(3) 前記凹部内に、複数の電極パッドを具えている第 1 の主表面と、該第 1

の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第 1 の主表面と対向する第 2 の主表面と、前記表面保護膜の表面と第 2 の主表面との間の複数の側面とを有する半導体チップを、該第 2 の主表面と対面するように設ける工程と、

(4) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(5) 前記拡張部上の前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(6) 前記配線パターン及び前記電極ポスト上に、該電極ポストの頂面を露出するように封止部を形成する工程と、

(7) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(8) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 1 4】 前記 (2) 工程が、前記下地上の前記半導体チップ配置領域以外の領域を、絶縁性の材料により覆う工程であり、

前記 (3) 工程と前記 (4) 工程との間に、前記絶縁性の材料を硬化して、拡張部を形成する工程をさらに含む

ことを特徴とする請求項 1 2 又は 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】 下地と、

前記下地上に設けられていて、傾斜を有する内側壁を具えた凹部を有する絶縁性の拡張部と、

複数の電極パッドを具えている第 1 の主表面と、該第 1 の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第 1 の主表面と対向する第 2 の主表面と、前記表面保護膜の表面と第 2 の主表面との間の複数の側面とを有して、前記側面が前記拡張部に囲まれるように前記拡張部の凹部内に設けられている半導体チップと、

前記電極パッドの一部分が露出するように、前記内側壁の表面上、前記拡張部の表面上及び前記表面保護膜上に形成されている絶縁膜と、

前記絶縁膜上に形成されていて、前記電極パッドの各々に電氣的に接続され、前記電極パッドから前記拡張部の表面上へと導出されている、複数の配線パターンと、

前記配線パターン及び前記絶縁膜上に、該配線パターンの一部分を露出させて形成されている封止部と、

前記拡張部の上側を含む領域の前記配線パターン上に設けられた複数の外部端子と

を具備していることを特徴とする半導体装置。

【請求項 1 6】 前記配線パターンと前記外部端子との間に形成されている複数の電極ポストを具備、

前記封止部は、前記電極ポストの頂面を露出するように形成されていることを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 7】 前記拡張部は、前記封止部の成形収縮よりも大きい成形収縮を有する絶縁性の材料により形成されていることを特徴とする請求項 1 5 又は 1 6 に記載の半導体装置。

【請求項 1 8】 前記拡張部は、ガラス転移点よりも低い温度範囲での線膨張係数が  $1.5 \times 10^{-5} / ^\circ\text{C}$  よりも小さく、かつ弾性率が  $7.8 \sim 22 \text{ GPa}$  の範囲の絶縁性の液状樹脂により形成されていることを特徴とする請求項 1 5 ～ 1 7 に記載の半導体装置。

【請求項 1 9】 (1) 下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する工程と、

(2) 前記下地上の前記半導体チップ配置領域以外の領域に、絶縁性の材料からなる拡張部を形成する工程と、

(3) 前記半導体チップ配置領域に、複数の電極パッドを具備している第 1 の主表面と、該第 1 の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第 1 の主表面と対向する第 2 の主表面と、前記表面保護膜の表面と第 2 の主表面との間の複数の側面とを有する半導体チップを、該第 2 の主表面と前記半導体チップ配置領域とが対面するように設ける工程と、

(4) 前記拡張部の表面上及び前記表面保護膜上に、絶縁膜を、前記電極パッ



ドを露出するように形成する工程と、

(5) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(6) 前記配線パターンが形成されている前記絶縁膜上に、封止部を、前記拡張部上に位置する該配線パターンの一部分を露出させて形成する工程と、

(7) 前記拡張部の上側を含む領域の前記配線パターン上に、複数の外部端子を接続して形成する工程と、

(8) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 20】 (1) 下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する工程と、

(2) 前記下地上の前記半導体チップ配置領域以外の領域に、絶縁性の材料からなる拡張部を形成する工程と、

(3) 前記半導体チップ配置領域に、複数の電極パッドを具えている第 1 の主表面と、該第 1 の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第 1 の主表面と対向する第 2 の主表面と、前記表面保護膜の表面と第 2 の主表面との間の複数の側面とを有する半導体チップを、該第 2 の主表面と前記半導体チップ配置領域とが対面するように設ける工程と、

(4) 前記拡張部の表面上及び前記表面保護膜上に、絶縁膜を、前記電極パッドを露出するように形成する工程と、

(5) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(6) 前記拡張部上の前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(7) 前記配線パターン及び前記電極ポスト上に、該電極ポストの頂面を露出するように封止部を形成する工程と、

(8) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(9) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装

置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 2 1】 前記（2）工程が、前記下地上の前記半導体チップ配置領域以外の領域を、絶縁性の材料により覆う工程であり、前記（3）工程と前記（4）工程との間に、前記絶縁性の材料を硬化して、拡張部を形成する工程をさらに含む

ことを特徴とする請求項 1 9 又は 2 0 に記載の半導体装置の製造方法。

【請求項 2 2】 （1）下地上に、複数の半導体チップが配置される半導体チップ配置領域を所定の間隔で、設定する工程と、

（2）前記下地上の前記半導体チップ配置領域上に凹部を具えるように、絶縁性の材料を設ける工程と、

（3）前記凹部内に、複数の電極パッドを具えている第 1 の主表面と、該第 1 の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第 1 の主表面と対向する第 2 の主表面と、前記表面保護膜の表面と第 2 の主表面との間の複数の側面とを有する半導体チップを、該第 2 の主表面と前記半導体チップ配置領域とが対面するように設ける工程と、

（4）前記絶縁性の材料を硬化して、拡張部を形成する工程と、

（5）前記拡張部の表面上及び前記表面保護膜上に、絶縁膜を、前記電極パッドを露出するように形成する工程と、

（6）前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

（7）前記配線パターンが形成されている前記絶縁膜上に、封止部を、前記拡張部上に位置する該配線パターンの一部分を露出させて形成する工程と、

（8）前記拡張部の上側を含む領域の前記配線パターン上に、複数の外部端子を接続して形成する工程と、

（9）複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 2 3】 （1）下地上に、複数の半導体チップが配置される半導体

チップ配置領域を所定の間隔で、設定する工程と、

(2) 前記下地上の前記半導体チップ配置領域上に凹部を具えるように、絶縁性の材料を設ける工程と、

(3) 前記凹部内に、複数の電極パッドを具えている第1の主表面と、該第1の主表面上に前記電極パッドが露出するように形成されている表面保護膜と、前記第1の主表面と対向する第2の主表面と、前記表面保護膜の表面と第2の主表面との間の複数の側面とを有する半導体チップを、該第2の主表面と対面するように設ける工程と、

(4) 前記絶縁性の材料を硬化して、拡張部を形成する工程と、

(5) 前記拡張部の表面上及び前記表面保護膜上に、絶縁膜を、前記電極パッドを露出するように形成する工程と、

(6) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(7) 前記拡張部上の前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(8) 前記配線パターン及び前記電極ポスト上に、該電極ポストの頂面を露出するように封止部を形成する工程と、

(9) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(10) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に関し、特に外部端子のさらなる増加に対応するための構成を有する半導体装置及びその製造方法に関する。

##### 【0002】

#### 【従来の技術】

近年、パッケージ化された半導体装置のさらなる小型化、薄型化が要求されて

いる。この要求に応えるために、パッケージ外形サイズが半導体チップの外形サイズと実質的に同一である、ウェハレベルチップサイズパッケージ (Wafer Level Chip Size Package) (以下、単にWCSPとも称する。) と呼ばれるパッケージ形態が提案されている。

## 【0003】

WCSPは、半導体チップを含んでいる。この半導体チップは、所定の機能を有する回路素子及びこの回路素子上に電氣的に接続されている複数の電極パッドを具えている。第1の主表面上には、複数の電極パッドを、露出させるように、絶縁膜が形成されている。

## 【0004】

この絶縁膜の表面上には、露出している電極パッドに接続され、かつ複数の配線パターンが形成されている。

## 【0005】

これらの配線パターン上には、電極ポストが形成されている。そして、この絶縁膜と配線パターンとを覆い、かつ電極ポストの頂面が露出するように封止部が形成されている。

## 【0006】

さらに、電極ポストの頂面上には、例えばBGAパッケージの場合には半田ボールとして設けられた、複数の外部端子を具えている。

## 【0007】

このようにWCSPは、半導体チップの回路形成面上に相当する領域に、複数の外部電極を、例えば格子状に設ける、いわゆるファンイン構造を有している。

## 【0008】

このようなファンイン構造の外部電極を具えている半導体チップを、プリント板上に搭載するにあたり、プリント板と外部電極との接続部における破断の発生を防止する目的で、電極パッドを有する半導体チップと、半導体チップ上の所定の位置に形成され、電極パッドに接続される配線と、配線上の所定の位置に形成され、配線に接続される外部電極と、外部電極に接続されるプリント板と、半導体チップ上に形成された基板を有していて、基板及びプリント板の熱膨張を整合

させるための樹脂層が基板上に設けられている構成、特に外部電極が樹脂層上に設けられている半導体装置が知られている（例えば、特許文献 1 参照。）。

【0009】

【特許文献 1】

特開 2 0 0 0 - 2 0 8 5 5 6 号公報（特許請求の範囲及び図 5）

【0010】

【発明が解決しようとする課題】

半導体装置の高機能化に伴い、1つのパッケージ化された半導体装置に形成される外部端子の数は、ますます増加する傾向にある。従来、このような外部端子の増加に対する要求には、隣接する外部端子同士の間隔を狭める構成とすることで対応している。外部端子の配置間隔と配置位置とに関しては、以下説明するように設計の自由度が著しく制限されている。

【0011】

上述した従来の WCSP は、隣接する外部端子同士の最小間隔は、具体的には 0.5mm 程度とされている。また、7mm×7mm 角の WCSP の場合には、設けられている外部端子の数は 160 程度である。

【0012】

パッケージ化された半導体装置のさらなる外部端子の増加に対する要求により、7mm×7mm 角の WCSP に 300 程度の外部端子を設けることが望まれている。

【0013】

上述した WCSP において、隣接する外部端子同士の間隔をより狭めて、WCSP の表面上により多数の外部電極を形成することは、技術的には不可能ではない。

【0014】

しかしながら、7mm×7mm 角の WCSP の表面積に 300 個の外部端子を形成することは、かなり困難である。また、外部端子同士の間隔を狭めると、WCSP を実装基板上に実装するためには、極めて高度な技術が必要となる。

【0015】

例えば、複数の外部端子同士の間隔を、0.3mm～0.7mm程度の範囲で、実装基板の実装ピッチに合わせて形成することが求められる場合もある。

【0016】

このような場合に、従来のパッケージの構成では、基板上に半導体チップを、いわゆるフリップチップ接続により接続して、当該半導体チップを基板を介して、外部電極と接続するか又はワイヤボンディングにより基板と半導体チップとを接続して、基板を介して外部電極と接続している。いずれの接続手法も基板を使用するため、また、ワイヤのループの高さ分の封止材が余計に必要となるため、パッケージが厚くなってしまう。さらには基板のコストがかかるため、パッケージが高価となってしまふ。特にフリップチップ接続の場合には、より高価なビルドアップ基板が必要となることから、パッケージがより高価なものとなってしまふ。

【0017】

また、一方、ワイヤボンディングによる接続を行った場合には、ワイヤ部分のインダクタンスが高くなってしまふ。

【0018】

そこで、この発明の目的は、外部端子の配置間隔と配置位置の設計自由度が高まると共に、パッケージ自体のコンパクト化が可能な構成を有する半導体装置を提供することにある。

【0019】

【課題を解決するための手段】

この目的の達成を図るため、この発明の半導体装置は、下記のような構成上の特徴を有している。すなわちこの発明の半導体装置は、下地と、この下地上に設けられている、複数の電極パッドを具えている第1の主表面と、第1の主表面上に電極パッドが露出するように形成されている表面保護膜と、第1の主表面と対向する第2の主表面と、表面保護膜の表面と第2の主表面との間の複数の側面とを有する半導体チップとを含んでいる。

【0020】

絶縁性の拡張部が、半導体チップの側面を囲むように形成されている。

【 0 0 2 1 】

電極パッドの各々には、複数の配線パターンが電氣的に接続され、電極パッドから拡張部の表面上へと導出されている。

【 0 0 2 2 】

配線パターン上には、配線パターンの一部分を露出するように封止部が、形成されている。

【 0 0 2 3 】

拡張部の上側を含む領域の前記配線パターン上には、複数の外部端子が設けられている。

【 0 0 2 4 】

この発明の半導体装置の構成によれば、半導体チップを囲むように設けられている拡張部上を含む領域にも、外部電極を設けることができる構成としてあるので、外部電極の配置間隔及び配置位置等の設計の自由度を増大させた半導体装置を提供することができる。また、この発明の半導体装置は、いわゆるWCSPの製造工程を適用することで、基板等のインターポーザを使用しない構成とすることができるので、ワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、フリップチップ接続との比較では、同等の電氣的特性をより安価に得ることができる。

【 0 0 2 5 】

また、この発明の半導体装置の製造方法の主要工程は下記の通りである。

【 0 0 2 6 】

(1) 下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で、設定する。

【 0 0 2 7 】

(2) 下地上の半導体チップ配置領域以外の領域に、拡張部を、絶縁性の材料により形成する。

【 0 0 2 8 】

(3) 半導体チップ配置領域上に、複数の電極パッドを具えている第1の主表面と、第1の主表面上に電極パッドが露出するように形成されている表面保護膜

と、第 1 の主表面と対向する第 2 の主表面と、表面保護膜の表面と第 2 の主表面との間の複数の側面とを有する半導体チップを、第 2 の主表面と半導体チップ配置領域とが対面するように設ける。

【 0 0 2 9 】

( 4 ) 電極パッドから拡張部上を含む領域へと導出されている配線パターンを形成する。

【 0 0 3 0 】

( 5 ) 配線パターン上に、封止部を、拡張部上を含む領域の配線パターンの一部分を露出するように形成する。

【 0 0 3 1 】

( 6 ) 拡張部上を含む領域の配線パターン上に複数の外部端子を形成する。

【 0 0 3 2 】

( 7 ) 複数の半導体チップ間を切断して、半導体チップを含む半導体装置の個片化を行う。

【 0 0 3 3 】

この発明の半導体装置の製造方法によれば、より簡易な工程で、高機能化、多機能化及びコンパクト化された半導体装置を提供することができる。特に外部電極の配置間隔及び配置位置等の設計の自由度を極めて大きくすることができる。

【 0 0 3 4 】

#### 【発明の実施の形態】

以下、図面を参照して、この発明の実施形態につき説明する。なお、図面には、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係が概略的に示されているに過ぎず、これによりこの発明が特に限定されるものではない。また、以下の説明において、特定の材料、条件及び数値条件等を用いることがあるが、これらは好適例の一つに過ぎず、従って、何らこれらに限定されない。また、以下の説明に用いる各図において同様の構成成分については、同一の符号を付して示し、その重複する説明を省略する場合もあることを理解されたい。

【 0 0 3 5 】

#### (第 1 の実施の形態)



図 1 及び図 2 を参照して、この発明の第 1 の実施の形態の半導体装置につき説明する。図 1 (A) は第 1 の実施の形態の半導体装置の構成を説明するための上面からみた概略的な平面図であり、図 1 (B) は、配線パターンと電極ポストとの接続関係を説明するために、図 1 (A) の一部領域を拡大して示した概略的な要部平面図である。また、図 2 は、図 1 (A) の I - I 破線により切断した切断面を示す概略的な断面図である。

## 【 0 0 3 6 】

この発明の第 1 の実施の形態の半導体装置 1 0 は、下地 1 2 上に、半導体チップ 3 0 を具えている。

## 【 0 0 3 7 】

下地 1 2 は、例えばガラスエポキシ、又はポリイミド等の有機材料からなる板状体又はシート状体、セラミック基板、金属基板及び S i 基板等から、所望により適宜選択することができる。半導体チップの放熱効果を高めることができるので、好ましくは金属基板を選択するのがよい。

## 【 0 0 3 8 】

なお、以下、半導体装置 1 0 及び半導体チップ 3 0 の形状は、直方体とした例につき説明するが、何ら直方体に限定されるものではない。

## 【 0 0 3 9 】

この半導体チップ 3 0 は、所定の機能を有する回路素子（図示せず。）を具えている。半導体チップ 3 0 は第 1 の主表面 3 6 と、この第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 を具えている。半導体チップ 3 0 は、第 1 の主表面 3 6 上に表面保護膜 3 5 と、この表面保護膜 3 5 の表面と第 2 の主表面 3 8 との間に存在する 1 又は 2 以上の側面 3 7 とを具えている。この表面保護膜 3 5 は絶縁性の材料により構成されている。回路素子に接続されている複数の電極パッド 3 4 は、第 1 の主表面 3 6 上に、表面保護膜 3 5 から少なくともその一部分が露出するように、第 1 の主表面 3 6 の周縁に沿って形成されている。

## 【 0 0 4 0 】

そして、この半導体チップ 3 0 は、下地 1 2 上に、第 1 の主表面 3 6 が上面となるように、すなわち第 2 の主表面 3 8 が、下地 1 2 の半導体チップ配置領域 1

4に対面するように設けられている。

【0041】

また、この発明の半導体装置10は、下地12上の半導体チップ配置領域以外の領域に、拡張部20を具えている。拡張部20は、下地12上の半導体チップ配置領域14に配置されている半導体チップ30の側面37、すなわち表面保護膜35の表面及び第2の主表面36及び38以外の面を囲むように、設けられている。このとき、半導体チップ30の表面保護膜35の表面のレベルは、拡張部20の第1の面20aのレベルと実質的に同一のレベルとなるようにされる。

【0042】

この拡張部20は、例えばエポキシ樹脂等の絶縁性の材料から適宜選択して形成することができる。また、従来適用されるいわゆる液状樹脂又はモールド樹脂を適用することができる。

【0043】

拡張部20は、製造工程において、この発明の半導体装置10に生じる反りの発生を抑制するために、好ましくは、後に形成される封止部の成形収縮よりも大きい成形収縮を有する絶縁性の材料により形成するのがよい。

【0044】

ここでいう「成形収縮」とは、成形工程において生じる材料単体での収縮を意味する。すなわち「成形収縮」とは、成形温度における硬化収縮と成形温度から常温に戻るまでの熱収縮との和に相当する（以下の説明においても同様。）。

【0045】

すなわち、拡張部20は、材料としてガラス転移点より低い温度範囲での線膨張係数が $1.5 \times 10^{-5}/^{\circ}\text{C}$ よりも小さく、かつ弾性率が7.8～22GPaの範囲の絶縁性の液状樹脂により形成するのがよい。拡張部20にモールド樹脂を適用する場合については後述する。

【0046】

拡張部20の第1の面20a及び表面保護膜35上には、配線パターン42が、電極パッド34に電氣的に接続されて形成されている。配線パターン42は、電極パッド34に電氣的に接続されるように、電極パッド34、すなわち表面保

護膜 3 5 の上側から拡張部 2 0 の上側を含む領域、すなわち拡張された領域 2 1 へと導出されるパターンを含んで形成される。

## 【 0 0 4 7 】

これら配線パターン 4 2 が形成されている表面保護膜 3 5 及び拡張部 2 0 を覆うように封止部 4 4 が設けられている。配線パターン 4 2 各々からこの封止部 4 4 を貫通して、この封止部 4 4 の表面に達する電極ポスト 4 6 がそれぞれ設けられている。これら電極ポスト 4 6 の一部は、半導体チップ 3 0 の上側（真上）に設けられており、また、残りの電極ポスト 4 6 は拡張部 2 0 の上側（真上）に設けられている。通常は、これら電極ポスト 4 6 は、一定の間隔で配列させてある。また、各電極ポスト 4 6 の一部分、すなわち頂面（表面）は、封止部 4 4 の表面に露出している。この電極ポスト 4 6 はポスト電極とも称せられ、その露出された頂面には外部端子 4 7 が設けられている。外部端子 4 7 としては通常、半田ボール 4 7 a を設けている。この外部端子 4 7 は電極パッド 3 4 の配列間隔よりも広い間隔で配列されて設けられている。

## 【 0 0 4 8 】

ここで、図 1（B）を用いて、電極パッド 3 4 と配線パターン 4 2 との接続関係につき説明する。これらの接続関係の理解を容易にするために図 1（A）の部分領域（実線で囲まれた領域）1 1 を拡大して示してある。配線パターン 4 2 は、外部端子 4 7 の下部に接続されて位置する電極ポスト（図 2 に 4 6 で示す。）と、対応する電極パッド 3 4 とが規則的、かつ電氣的に接続されている。これら配線パターン 4 2 を構成する配線として、例えば長配線 4 2 a、中配線 4 2 b 及び短配線 4 2 c を設ける。これらの配線 4 2 a、4 2 b 及び 4 2 c を、それぞれ対応する電極パッド 3 4 に、1 つの配線と 1 つの電極パッドという、1 対 1 の接続関係で、接続してある。配線パターン 4 2 は、適用可能な配線プロセスルールに従って、配線幅、配線間隔及び最適角度等を決定して、可能な限り最短距離となるように電極パッド 3 4 に接続される。

## 【 0 0 4 9 】

この配線パターン 4 2 は、半導体チップ 3 0 の上側（真上）の領域及び拡張部 2 0 の上側（真上）、すなわち拡張された領域 2 1 の境界にまたがるように設け

られている。

【 0 0 5 0 】

そのため、配線パターン 4 2 のうち、この境界上及び境界近傍のある程度の長さの部分領域をより太い、すなわち幅広あるいは肉厚の配線とするのがよい。

【 0 0 5 1 】

このように、特にエッジ部効果とか、熱ストレス等により応力が集中しやすいと思われるパターン 4 2 の部分領域を太く形成しておくことにより、半導体装置 1 0 の動作の信頼性が向上する。

【 0 0 5 2 】

この拡張部 2 0 の上側（真上）の領域は、外部端子形成領域を半導体素子の表面領域外に拡張している意味で拡張された領域 2 1 と称せられる。この構成例では拡張された領域 2 1 にも電極ポスト 4 6 が形成されている。そして、配線パターン 4 2 及び電極ポスト 4 6 を覆うように、封止部 4 4 を形成する。封止部 4 4 は電極ポスト 4 6 の一部分が露出するように形成されている。

【 0 0 5 3 】

この電極ポスト 4 6 を介して、外部端子 4 7 が形成されている。電極ポストを介さずに、封止部 4 4 から配線パターン 4 2 の一部分を露出させて、直接的に配線パターン 4 2 に外部端子を接続する構成とすることもできる。

【 0 0 5 4 】

この構成例では、外部端子 4 7 を、例えば半田ボール 4 7 a で形成している。これら半田ボール 4 7 a は、露出している電極ポスト 4 6 の頂面に設けられていて、これら電極ポスト 4 6 を介して、配線パターン 4 2 と接続されている。この隣接する電極ポスト 4 6 同士の配列及びその間隔は、例えばプリント基板等への実装を考慮して、所望の配列及び間隔とすることができる。

【 0 0 5 5 】

既に説明したとおり、これら電極ポスト 4 6 は、半導体チップ 3 0 の上側に対応する表面積の範囲のみならず、拡張部 2 0 の上側、すなわち拡張された領域 2 1 にも設けてある。従って、電極ポスト 4 6 の配置位置及び配置間隔の設計の自由度が増す。すなわち、より実装が容易になるように、外部端子 4 7 の配置間隔

の制限を緩和して、例えば実装基板側の構成上の要件に沿った、より広い間隔で形成することができる。具体的には拡張部 2 0 の面積を適宜調整することで、適切な配置間隔で、所望の数の外部電極を形成することができる。

## 【 0 0 5 6 】

この発明の半導体装置 1 0 の構成によれば、半導体チップ 3 0 の真上の領域外、すなわち拡張された領域 2 1 に、外部端子 4 7 を設ける構成としてあるので、半導体装置 1 0 をいわゆるファンアウト構造又は表面保護膜 3 5 上の領域にも外部端子 4 7 が形成されているファンイン／ファンアウト構造として構成することが可能である。従って、外部端子 4 7 の配置間隔及び配置位置等の設計の自由度を大きくすることができる。

## 【 0 0 5 7 】

また、この発明の半導体装置 1 0 は、いわゆる W C S P の製造工程を利用して、基板等のインターポーザを使用せずに半導体チップ 3 0 と外部電極 4 7 とを直接的に接続する構成とすることができるので、上述の効果に加えて、例えばワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、例えばフリップチップ接続との比較では、同等の電気的特性を有する半導体装置 1 0 をより安価に得ることができる。

## 【 0 0 5 8 】

次に図 3 ( A ) ～図 9 ( B ) を参照して、第 1 の実施の形態の半導体装置の製造方法につき説明する。

## 【 0 0 5 9 】

原則として、各図 ( A ) はこの発明の半導体装置の構成を説明するための概略的な部分的平面図であり、各図の ( B ) は ( A ) 図の I - I 破線により切断した切断面を示す概略的な断面図である。なお、例外として、図 5 ( B ) は、図 5 ( A ) に示した、実線 1 1 で囲まれた部分を拡大して示す拡大図であり、さらに図 6 は、図 5 ( A ) の I - I 線に沿って切断して示した断面図である。

## 【 0 0 6 0 】

また、この発明の半導体装置の製造方法を説明するにあたり、各図では下地上

に 2 (縦) × X (横; X は 2 以上の正数) の格子状に複数の半導体チップを配置して、同時に複数の半導体装置 1 0 を製造する例を図示してある。しかしながら、これに限定されず、より多数の半導体チップをより多くの数からなる格子状に配列して同時に製造することもできる。

#### 【 0 0 6 1 】

予め、下地 1 2 上に、後の工程で複数の半導体チップ 3 0 が載置される半導体チップ領域 1 4 を設定しておく。なお、半導体チップ配置領域 1 4 の輪郭は、半導体チップ 3 0 の第 2 の主表面 3 8 の輪郭と実質的に一致している。隣接する半導体チップ配置領域 1 4 同士間の間隔は、互いに等間隔としておく。この間隔は、後に個片化する工程に必要なマージン面積、所望の外部端子の数に応じて形成される拡張部 2 0 の面積等を考慮して、決定される。

#### 【 0 0 6 2 】

まず、図 3 (A) 及び (B) に示したように、下地 1 2 上に設定された半導体チップ配置領域 1 4 以外の領域に、半導体チップ配置領域 1 4 が露出するように、絶縁性の材料 2 0' を設ける。この絶縁性の材料 2 0' は、例えばエポキシ樹脂等の絶縁性の材料より適宜選択して形成することができる。また、従来適用されるいわゆる液状樹脂又はモールド樹脂を適用することができる。

#### 【 0 0 6 3 】

拡張部 2 0 の形成には例えば以下の方法が適用可能である。

#### 【 0 0 6 4 】

絶縁性の材料 2 0' を、例えばある程度の粘度を有する絶縁性のエポキシ樹脂等とする。

#### 【 0 0 6 5 】

① ディスペンス法により、半導体チップ配置領域 1 4 を露出させて、供給する。この絶縁性の材料 2 0' を、選択された絶縁性の材料 2 0' に最適な条件及び処理により硬化する。

#### 【 0 0 6 6 】

② 精密印刷法により、半導体チップ配置領域 1 4 を露出させて、絶縁性の材料 2 0' を供給する。この絶縁性の材料 2 0' を、選択された絶縁性の材料 2 0

’ に最適な条件及び処理により硬化する。

【 0 0 6 7 】

③ フォトリソグラフィ法より、下地 1 2 全面に供給した後に、従来公知のマスク、露光及び現像工程により、選択された絶縁性の材料 2 0’ に最適な条件及び処理で、パターニングを行うことで、拡張部 2 0 を形成する。

【 0 0 6 8 】

ここでいう絶縁性の材料 2 0’ とは、例えば常温で、ある程度の粘性を有するペースト状のエポキシ樹脂等の材料であり、例えば加熱、紫外線照射等の好適な処理により硬化することができる材料である。

【 0 0 6 9 】

拡張部 2 0 は、製造工程において、半導体装置 1 0 に生じてしまう反りの発生を防止するために、好ましくは、後に形成される封止部の成形収縮よりも小さい成形収縮を有する絶縁性の材料により形成するのがよい。具体的には、拡張部 2 0 は、ガラス転移温度よりも低い温度範囲で線膨張係数が  $1.5 \times 10^{-5} / ^\circ\text{C}$  よりも小さく、かつ弾性率が  $7.8 \sim 22 \text{ GPa}$  の範囲の液状樹脂により形成するのがよい。

【 0 0 7 0 】

特に拡張部 2 0 にモールド樹脂を適用した場合には、厚さ方向の寸法精度を高めることができるので、より高精度に拡張部 2 0 を形成することができる。

【 0 0 7 1 】

次いで、図 4 に示したように、露出している半導体チップ配置領域 1 4 上に半導体装置 3 0 を設ける。

【 0 0 7 2 】

この半導体チップ 3 0 は、所定の機能を有する回路素子（図示せず。）を具えている。半導体チップ 3 0 は第 1 の主表面 3 6 と、この第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 を具えている。半導体チップ 3 0 は、第 1 の主表面 3 6 上に表面保護膜 3 5 と、この表面保護膜 3 5 の表面と第 2 の主表面 3 8 との間に存在する 1 又は 2 以上の側面 3 7 とを具えている。この表面保護膜 3 5 は絶縁性の材料により構成されている。回路素子に接続されている複数の電極パッド 3 4 は

、第 1 の主表面 3 6 上に、表面保護膜 3 5 から少なくともその一部分が露出するように、第 1 の主表面 3 6 の周縁に沿って形成されている。

## 【 0 0 7 3 】

半導体チップ 3 0 は、第 2 の主表面 3 8 が下地 1 2 上の半導体チップ配置領域 1 4 に対面するように、表面保護膜 3 5 の表面及び第 2 の主表面 3 8 以外の面、すなわち側面 3 7 を、拡張部 2 0 が囲むように配置する。このとき、表面保護膜 3 5 の表面のレベル（高さ）d 1 と、硬化処理後の拡張部 2 0 の第 1 の面 2 0 a のレベル d 2 とが、実質的に同一のレベルとなるように、かつ半導体チップ 3 0 と拡張部 2 0 との間に間隙が生じないように、拡張部 2 0 の厚さを含め形成領域及び／又は半導体チップの外形サイズを調節しておく。

## 【 0 0 7 4 】

好ましくは、半導体チップ配置領域 1 4 上には、何らかの接着手段を設けておくのがよい。そしてこの接着手段により半導体チップ 3 0 を半導体チップ配置領域 1 4 上に接着保持しておくのがよい。

## 【 0 0 7 5 】

上述では、まず、拡張部 2 0 を絶縁性の材料 2 0' を設けてこれを硬化処理することにより形成した後に、半導体チップ 3 0 を半導体チップ配置領域 1 4 上に設ける例を説明したが、絶縁性の材料 2 0' 、例えばある程度の粘度を有する絶縁性のエポキシ樹脂を半導体チップ配置領域 1 4 以外の領域に上述の①又は②の方法により設け、半導体チップ配置領域 1 4 上に半導体チップ 3 0 を設けた後に、絶縁性の材料 2 0' の硬化を行って拡張部 2 0 を形成する工程としてもよい。このとき、絶縁性の材料 2 0' は、表面保護膜 3 5 の表面のレベルと硬化後の拡張部 2 0 の第 1 の面 2 0 a のレベルとが実質的に同一のレベルとなるように、絶縁性の材料 2 0' の厚さを調節すればよい。

## 【 0 0 7 6 】

然る後、図 5 及び図 6 に示したように、表面保護膜 3 5 上及び拡張部 2 0 の第 1 の面 2 0 a 上に、複数の配線パターン 4 2 を形成する。これら配線パターン 4 2 の形成は、それぞれの配線パターン 4 2 が対応する電極パッド 3 4 に電氣的に接続するように設定してから、形成されるべき外部端子の配置を考慮して行う。



これら複数の配線パターン 4 2 には、電極パッド 3 4 から拡張部 2 0 上、すなわち拡張された領域 2 1 へと導出されたパターンが含まれている。

## 【 0 0 7 7 】

具体的には適用可能な配線プロセスルールに従って、配線幅、配線間隔及び最適角度等を決定して、可能な限り最短距離となるように接続する。例えば図示したように半導体チップ 3 0 の周縁に沿って形成されている複数の電極パッド 3 4 に対して、原則として最短距離となるように、長配線 4 2 a、中配線 4 2 b 及び短配線 4 2 c を一組とする配線パターン群を複数組形成し、一方の端部をそれぞれ対応する電極パッド 3 4 に接続する。そして、他方の端部には、電極ポスト搭載用のパッドを形成して、電極ポストを介して外部端子 4 7（半田ボール 4 7 a）を接続してある。特に長配線 4 2 a 及び中配線 4 2 b は、表面保護膜 3 5 に設けられている電極パッド 3 4 から、拡張部 2 0 の上側（真上）に導出されるように設けてある。

## 【 0 0 7 8 】

なお、図 4（A）及び図 5（A）において、説明を容易にするために、電極パッド 3 4 の配置数は、実際よりも少ない数として概略的に図示してある（以下の図においても同様。）。

## 【 0 0 7 9 】

この配線パターン 4 2 の形成は、拡張部 2 0 の第 1 の面 2 0 a の上側（真上）の領域を含む所望の領域に、スパッタ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における配線パターンの形成プロセスにより、例えば銅、アルミニウム及び金属合金等の適宜の材料を選択して、行うことができる。

## 【 0 0 8 0 】

この配線パターン 4 2 の形成工程において、上述した半導体チップ 3 0 と拡張部 2 0 との間にわずかながら間隙が生じてしまう可能性もある。この配線パターン 4 2 に、このような間隙等に起因する応力が集中すると想定される場合には、この応力が集中する配線パターン 4 2 の部分を実質的に含む配線パターン 4 2 の領域を若干太く、すなわち幅広または肉厚に形成してもよい。

## 【 0 0 8 1 】

次いで、図 7 (A) 及び (B) に示したように、各配線パターン 4 2 の表面上に、これらと電氣的に接続される電極ポストをそれぞれ形成する。これら電極ポスト 4 6 を拡張部 2 0 の上側 (真上) の拡張された領域 2 1 と、半導体チップ 3 0 の上側 (真上) の領域とに設けてある。これら電極ポスト 4 6 は、格子状に所定の間隔で配列するように形成する。この間隔は、上述したように実装を考慮した間隔、すなわち一定な、或いは不規則の間隔とすることができる。

## 【 0 0 8 2 】

この電極ポスト 4 6 はメッキ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における電極ポスト 4 6 の形成プロセスにより、材料を適宜選択して、行うことができる。

## 【 0 0 8 3 】

さらに拡張部 2 0 の第 1 の面 2 0 a の上側 (真上) 及び半導体チップ 3 0 の上側 (真上) に形成されている配線パターン 4 2 及び電極ポスト 4 6 を覆うように、封止部 4 4 を形成する。

## 【 0 0 8 4 】

この封止工程は、従来公知の方法により、従来公知の封止材料、例えばエポキシ系のモールド樹脂を使用して実施することができる。

## 【 0 0 8 5 】

ここで一般的に使用されるモールド樹脂としては、例えば線膨張係数が  $0.6 \sim 1.3 \times 10^{-5} / ^\circ\text{C}$  の範囲であり、ガラス転移温度 ( $T_g$ ) が  $125 \sim 220$   $^\circ\text{C}$  の範囲であり、弾性率が  $9.8 \sim 24 \text{ GPa}$  ( $1000 \sim 2450 \text{ kg/mm}^2$ ) の範囲の物性値を有するものが挙げられる。

## 【 0 0 8 6 】

製造工程における半導体装置 1 0 の反りの発生を防止するために、特に拡張部 2 0 を、封止部 4 4 と同様にいわゆるモールド樹脂で形成する場合には、成形収縮が封止部 4 4 よりも大きくなるように決定される。例えば、拡張部 2 0 及び封止部 4 4 を形成するモールド樹脂の物性について、以下の組み合わせが挙げられる。

## 【 0 0 8 7 】

① 拡張部／封止部：拡張部のモールド樹脂の物性は、ガラス転移温度よりも低い温度範囲での線膨張係数が  $1.1 \sim 1.5 \times 10^{-5}/^{\circ}\text{C}$  の範囲であって、かつガラス転移温度 ( $T_g$ ) が  $170^{\circ}\text{C}$  よりも大きい／封止部のモールド樹脂の物性は、ガラス転移温度よりも低い温度範囲での線膨張係数が  $1.0 \times 10^{-5}/^{\circ}\text{C}$  より小さく、ガラス転移温度 ( $T_g$ ) が  $125 \sim 220^{\circ}\text{C}$  の範囲であり、かつ弾性率が  $14.7 \sim 24 \text{ GPa}$  ( $1500 \sim 2450 \text{ kg/mm}^2$ ) の範囲。

【0088】

② 拡張部／封止部：拡張部のモールド樹脂の物性は、ガラス転移温度よりも低い温度範囲での線膨張係数が  $1.1 \sim 1.7 \times 10^{-5}/^{\circ}\text{C}$  の範囲であって、かつガラス転移温度 ( $T_g$ ) が  $170^{\circ}\text{C}$  よりも小さく、弾性率が  $9.8 \sim 19.6 \text{ GPa}$  ( $1000 \sim 2000 \text{ kg/mm}^2$ ) ／封止部のモールド樹脂の物性は、ガラス転移温度よりも低い温度範囲での線膨張係数が  $1.0 \times 10^{-5}/^{\circ}\text{C}$  より小さく、ガラス転移温度 ( $T_g$ ) が  $125 \sim 220^{\circ}\text{C}$  の範囲であり、弾性率が  $14.7 \sim 24 \text{ GPa}$  ( $1500 \sim 2450 \text{ kg/mm}^2$ ) の範囲。

【0089】

③ 拡張部／封止部：拡張部のモールド樹脂の物性は、ガラス転移温度よりも低い温度範囲での線膨張係数が  $1.1 \sim 1.7 \times 10^{-5}/^{\circ}\text{C}$  の範囲であり、かつ弾性率が  $13.7 \text{ GPa}$  ( $1400 \text{ kg/mm}^2$ ) であり、かつガラス転移温度 ( $T_g$ ) が  $125^{\circ}\text{C} \sim 170^{\circ}\text{C}$  の範囲／封止部のモールド樹脂の物性は、ガラス転移温度よりも低い温度範囲での線膨張係数が  $1.0 \times 10^{-5}/^{\circ}\text{C}$  より小さく、ガラス転移温度 ( $T_g$ ) が  $125 \sim 220^{\circ}\text{C}$  の範囲であり、かつ弾性率が  $14.7 \sim 24 \text{ GPa}$  ( $1500 \sim 2450 \text{ kg/mm}^2$ ) の範囲。

【0090】

然る後、図8 (A) 及び (B) に示したように、封止部44をその表面側から削り取って、電極ポスト46の頂面 (上面とも称する。) の一部分を、露出させる。

【0091】

この工程は、従来公知の研削や、研磨工程を適用して行う。

【0092】

また、封止部 4 4 の形成に、フィルム成形等の方法を適用することもできる。その場合には、電極ポスト 4 6 に実質的に負荷をかけることがない。また、その場合には、上述した封止部 4 4 に対する研削工程を要せずに電極ポスト 4 6 の頂面を封止部 4 4 の表面に露出するように直接的に形成する。

## 【 0 0 9 3 】

このとき、露出した電極ポスト 4 6 の上面に、選択される材料により何らかの処理を行ってもよい。例えば材料を銅とした場合にはバリアメタル層として薄い Ni（ニッケル）膜等を形成してもよい。

## 【 0 0 9 4 】

次いで、封止部 4 4 の表面から露出している電極ポスト 4 6 を介して電極ポスト 4 6 の上面に、外部端子 4 7 として例えば半田ボール 4 7 a を、形成する。

## 【 0 0 9 5 】

次いで、図 9（A）及び（B）に示したように、一点破線 a で示した切断線に沿って、複数の半導体チップ同士の間を切断して、半導体チップを含む半導体装置として個片化する。

## 【 0 0 9 6 】

この個片化工程は、好ましくは高速回転するブレードにより、切削することにより行うのがよい。

## 【 0 0 9 7 】

このように第 1 の実施の形態の製造方法によれば、いわゆる W C S P の製造工程を適用できるので半導体装置 1 0 を製造するための特別な工程を使用することなく半導体装置 1 0 を簡易な工程で製造することができる。

## 【 0 0 9 8 】

## （第 2 の実施の形態）

次に図 1 0 ～図 1 2（C）を参照して、この発明の第 2 の実施の形態の半導体装置及びその製造方法につき説明する。なお、後述する製造工程において、適用される材料、工程の実施条件等は第 1 の実施の形態とほぼ同様であるので、その詳細な説明は省略する。また、各図において、平面図は第 1 の実施の形態で説明した図と同様であるのでその詳細な説明は省略する。

## 【 0 0 9 9 】

図 1 0 を参照して、この発明の第 2 の実施の形態の半導体装置につき説明する。図 1 0 は第 2 の実施の形態の半導体装置の概略的な断面図である。

## 【 0 1 0 0 】

この発明の第 2 の実施の形態の半導体装置 1 0 は、下地 1 2 を具えている。下地 1 2 上には、半導体チップ配置領域 1 4 が設定されている。

## 【 0 1 0 1 】

そして下地 1 2 上には、絶縁性の拡張部 2 0 が形成されている。拡張部 2 0 は、半導体チップ配置領域 1 4 の輪郭と一致する底面部 2 2 a を有する凹部 2 2 を具えている。

## 【 0 1 0 2 】

凹部 2 2 内には、半導体チップ 3 0 が設けられている。この半導体チップ 3 0 は、所定の機能を有する回路素子（図示せず。）を具えている。半導体チップ 3 0 は第 1 の主表面 3 6 と、この第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 を具えている。半導体チップ 3 0 は、第 1 の主表面 3 6 上に表面保護膜 3 5 と、この表面保護膜 3 5 の表面と第 2 の主表面 3 8 との間に存在する 1 又は 2 以上の側面 3 7 とを具えている。この表面保護膜 3 5 は絶縁性の材料により構成されている。回路素子に接続されている複数の電極パッド 3 4 は、第 1 の主表面 3 6 上に、表面保護膜 3 5 から少なくともその一部分が露出するように、第 1 の主表面 3 6 の周縁に沿って形成されている。

## 【 0 1 0 3 】

そして、この半導体チップ 3 0 は、第 1 の主表面 3 6 が上面となるように、すなわち第 2 の主表面 3 8 が、拡張部 2 0 の凹部 2 2 の底面部 2 2 a に対面するように設けられている。

## 【 0 1 0 4 】

結果として、拡張部 2 0 は、半導体チップ 3 0 の表面保護膜 3 5 以外の面、すなわち、側面 3 7 及び第 2 の主表面 3 8 を囲むように、設けられている。この拡張部 2 0 は、表面保護膜 3 5 の表面のレベルと、硬化処理後の拡張部 2 0 の第 1 の面 2 0 a のレベルとが、実質的に同一のレベルとなるように、形成される。

## 【0105】

この拡張部20を形成するための材料の物性等の要件については、第1の実施の形態で既に説明したとおりであるので、その詳細な説明を省略する。

## 【0106】

拡張部20の第1の面20a及び表面保護膜35上には、図5で説明したのと同様に、複数の配線パターンを具えた配線パターン42が、露出している電極パッド34に電氣的に接続されて形成されている。

## 【0107】

配線パターン42は、半導体チップ30の出力信号、半導体装置10に要求される外部端子の配置位置等を考慮して、所望のパターンで形成することができる。

## 【0108】

この配線パターン42は、半導体チップ30の上側（真上）の領域及び拡張部20の上側（真上）の領域の境界にまたがるように設けられている。すなわち、少なくとも複数の配線パターン42のうち一部分は、表面保護膜35から露出している電極パッド34のそれぞれと個別的に、かつ電氣的に接続されて、拡張部20の上側、すなわち拡張された領域21に導出されている。

## 【0109】

この配線パターン42が形成されている拡張部20の第1の面20a上及び表面保護膜35上には、封止部44が、配線パターン42の一部分を露出するように形成されている。

## 【0110】

そして、この露出している配線パターン42上であって、拡張部20上を含む領域には、外部端子47が接続されている。

## 【0111】

この構成例では拡張された領域21にも例えば電極ポスト46を介して、外部端子47が形成されている。

## 【0112】

この構成例では、外部端子47を、例えば半田ボール47aで形成している。

これら半田ボール47aは、電極ポスト46の頂面と接触して設けられていて、これら電極ポスト46を介して、配線パターン42と接続されている。この隣接する電極ポスト46同士の配列及びその間隔は、例えばプリント基板等への実装を考慮して、所望の配列及び間隔とすることができる。

## 【0113】

既に説明したとおり、これら電極ポスト46は、半導体チップ30の上側に対応する表面積の範囲のみならず、拡張部20の上側にも設けている。従って、電極ポスト46、すなわち外部端子47の配置位置及び配置間隔の設計の自由度が増す。すなわち、より実装が容易になるように、電極ポスト46、すなわち外部端子47の配置間隔の制限を緩和して、例えば実装基板側の構成上の要件に沿った、より広い間隔で形成することができる。具体的には拡張部20の面積を適宜調整することで、適切な配置間隔で、所望の数の外部電極を形成することができる。

## 【0114】

この発明の第2の実施の形態の半導体装置10は、第1の実施の形態の半導体装置の構成により得られる効果に加えて、半導体チップ30の第2の主表面38も拡張部20により覆う構成としてあるので、半導体チップ30を外部環境からより効果的に保護することができる。

## 【0115】

次に図11(A)～図12(C)を参照して、第2の実施の形態の半導体装置の製造方法につき説明する。

## 【0116】

各図は、第2の実施の形態の半導体装置の製造方法を説明するための概略的な断面図である。

## 【0117】

予め、下地12上に、適用される半導体チップ30の外形サイズに合わせて半導体チップ配置領域14を設定しておく。隣接する半導体チップ配置領域14同士の間隔は、互いに等間隔としておく。この間隔は、後に個片化する工程に必要なマージン面積、所望の外部端子の数に応じて形成される拡張部の面積等を考

慮して、決定される。

【0 1 1 8】

まず、図 1 1 (A) に示したように、この下地 1 2 上に、拡張部 2 0 を形成するための絶縁性の材料 2 0' を設ける。ここでいう絶縁性の材料 2 0' とは、例えば常温である程度の粘性を有するペースト状の樹脂等の材料であり、例えば加熱、紫外線照射等の好適な処理により硬化することができる材料である。例えばエポキシ樹脂等の絶縁性の材料より適宜選択することができる。また、例えばエポキシ樹脂として、従来適用されるいわゆる液状樹脂又はモールド樹脂を適用することができる。

【0 1 1 9】

拡張部 2 0 の形成方法については、第 1 の実施の形態で説明した①ディスペンス法、②精密印刷法及び③フォトリソグラフィ法により、同様の工程で拡張部 2 0 を形成することが可能である。

【0 1 2 0】

絶縁性の材料 2 0' は、半導体チップ 3 0 を設けるための凹部 2 2 を具えるように下地 1 2 上に設けられる。この凹部 2 2 は、半導体チップ配置領域 1 4 の輪郭と一致する底面部 2 2 a を具えるように形成される。この凹部 2 2 の底面部 2 2 a 側の厚さ d 3 は、例えば後に設けられる半導体チップの放熱性等を考慮して、適宜設定することができる。

【0 1 2 1】

まず、絶縁性の材料 2 0' として、例えばある程度の粘度を有する絶縁性のエポキシ樹脂を、下地 1 2 上の全面に凹部 2 2 の底面部 2 2 a 側の厚さ d 3 に等しい厚さで、上述のディスペンス方式、精密印刷方式等の方法により設ける。

【0 1 2 2】

次いで、これらのうちいずれかの方法で、例えば硬化処理後に、後に設けられる半導体チップの厚さ d 1 と等しくなるように、半導体チップ配置領域 1 4 に相当する領域以外の領域に、さらに絶縁性の材料 2 0' を設けて、凹部 2 2 を形成するように 2 段階の工程により、拡張部 2 0 を、形成する。

【0 1 2 3】



また、例えばフォトリソグラフィ法によるパターニングを行うこともできる。すなわち、凹部 2 2 の底面部 2 2 a の厚さ  $d_3$  と、例えば硬化処理後に半導体チップ 3 0 の厚さ  $d_1$  との和  $d_2 (= d_1 + d_3)$  に等しい厚さとなるように、下地 1 2 上全面に絶縁性の材料 2 0' を設ける。次いで、下地 1 2 の半導体チップ配置領域 1 4 に相当する領域を、設定された底面部 2 2 a の側の厚さ  $d_3$  だけ残るように、すなわち半導体チップ 3 0 の厚さ  $d_1$  の分だけ、マスク、露光及び現像等の従来公知の工程により除去することで、凹部 2 2 を具えた絶縁性の材料 2 0' のパターンを下地 1 2 上に形成する。

## 【 0 1 2 4 】

この絶縁性の材料 2 0' のパターニングは、1 段階の工程で行うこともできる。例えばディスペンス方式により、凹部 2 2 の底面部を形成する際には、絶縁性の材料 2 0' の下地 1 2 上への吐出量を減少させるように調節することで形成する。

## 【 0 1 2 5 】

例えば印刷方式を適用する場合にも、マスクと下地 1 2 との間の距離を調整しつつ、設ける絶縁性の材料 2 0' の量を調整することで、1 段階の工程によりパターニングを行うことができる。

## 【 0 1 2 6 】

次に、図 1 1 (B) に示したように、パターニングされた絶縁性の材料 2 0' の凹部 2 2 に半導体チップ 3 0 を設ける。

## 【 0 1 2 7 】

この半導体チップ 3 0 は、所定の機能を有する回路素子（図示せず。）を具えている。半導体チップ 3 0 は第 1 の主表面 3 6 と、この第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 を具えている。半導体チップ 3 0 は、第 1 の主表面 3 6 上に表面保護膜 3 5 と、この表面保護膜 3 5 の表面と第 2 の主表面 3 8 との間に存在する 1 又は 2 以上の側面 3 7 とを具えている。この表面保護膜 3 5 は絶縁性の材料により構成されている。回路素子に接続されている複数の電極パッド 3 4 は、第 1 の主表面 3 6 上に、表面保護膜 3 5 から少なくともその一部分が露出するように、第 1 の主表面 3 6 の周縁に沿って形成されている。

## 【 0 1 2 8 】

半導体チップ 3 0 は、第 2 の主表面 3 8 が、凹部 2 2 の底面部 2 2 a に対面するように、設けられている。半導体チップ 3 0 は、凹部 2 2 の底面部 2 2 a の絶縁性の材料 2 0 ' の粘性により保持される。

## 【 0 1 2 9 】

ここで、選択された絶縁性の材料 2 0 ' に好適な条件で、例えば加熱、紫外線照射等の硬化処理することで、拡張部 2 0 を形成する。このとき、半導体チップ 3 0 の第 2 の主表面 3 8 に接している凹部 2 2 の底面部 2 2 a の絶縁性の材料 2 0 ' も硬化される。このように半導体チップ 3 0 は、底面部 2 2 a を介して、下地 1 2 上に、接着保持される。

## 【 0 1 3 0 】

半導体チップ 3 0 は、表面保護膜 3 5 以外の面、すなわち側面 3 7 及び第 2 の主表面 3 8 が拡張部 2 0 により、囲まれる。

## 【 0 1 3 1 】

このとき、表面保護膜 3 5 の表面のレベルと、硬化処理後の拡張部 2 0 の第 1 の面 2 0 a のレベルとは、実質的に同一のレベルとなるようにされる。

## 【 0 1 3 2 】

この例では、絶縁性の材料 2 0 ' の硬化処理前に半導体チップ 3 0 を凹部内に設け、しかる後に硬化処理を行う例を説明したが、例えば上述のフォトリソグラフィ法等により、半導体チップ 3 0 を凹部 2 2 に設ける前に、絶縁性の材料 2 0 ' により形成されたパターンを硬化処理して拡張部 2 0 を形成することもできる。この場合には、形成された拡張部 2 0 の凹部 2 2 内に半導体チップ 3 0 を設ける。

## 【 0 1 3 3 】

このとき、好ましくは、凹部 2 2 の底面部 2 2 a に何らかの接着手段を設けておくのがよい。そして、この接着手段により半導体チップ 3 0 を凹部 2 2 に接着保持するのがよい。

## 【 0 1 3 4 】

然る後、図 1 1 (C) に示したように、表面保護膜 3 5 の上側（真上）及び拡

張部 2 0 の第 1 の面 2 0 a の上側（真上）、すなわち拡張された領域 2 1 に、複数の配線パターンを含む配線パターン 4 2 を形成する。

## 【 0 1 3 5 】

この配線パターン 4 2 は、表面保護膜 3 5 の上側（真上）から拡張部 2 0 の第 1 の面 2 0 a の上側（真上）の領域を含む領域に、導出されるようにスパッタ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における配線パターンの形成プロセスにより、例えばアルミニウム、銅及び金属合金等の適宜の材料を選択して、行うことができる。

## 【 0 1 3 6 】

次いで、図 1 2 （A）に示したように、配線パターン 4 2 の表面上であって、拡張部 2 0 上に相当する領域、すなわち拡張された領域 2 1 を含む領域に、複数の電極ポスト 4 6 を、例えば格子状に所定の間隔で形成する。この複数の電極ポスト 4 6 同士の間隔は、上述したように実装を考慮した間隔として、すなわち一定な、或いは不規則の間隔とすることができる。

## 【 0 1 3 7 】

この電極ポスト 4 6 はメッキ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における電極ポスト 4 6 の形成プロセスにより、適宜の材料を選択して、行うことができる。

## 【 0 1 3 8 】

さらに拡張部 2 0 及び／又は半導体チップ 3 0 上に形成されている配線パターン 4 2 及び電極ポスト 4 6 を覆うように、封止部 4 4 を形成する。

## 【 0 1 3 9 】

この封止部 4 4 の形成工程は、従来公知の封止工程により、従来公知の封止材料、例えばエポキシ系のモールド樹脂を使用して実施することができる。

## 【 0 1 4 0 】

適用されるモールド樹脂の物性等の要件については、第 1 の実施の形態と同様であるのでその詳細な説明は省略する。

## 【 0 1 4 1 】

拡張部 2 0 及び封止部 4 4 のモールド樹脂の物性の組み合わせ例についても第

1 の実施の形態と同様であるので、ここでは説明を省略する。

【 0 1 4 2 】

然る後、図 1 2 ( B ) に示したように、封止部 4 4 をその表面側から削り取って、電極ポスト 4 6 の頂面（上面とも称する。）を、露出させる。

【 0 1 4 3 】

この工程は、従来公知の研削や、研磨工程を適用して行う。

【 0 1 4 4 】

そして、封止部 4 4 の表面から露出している電極ポスト 4 6 を介してその上面に、外部端子 4 7 として例えば半田ボール 4 7 a を形成する。

【 0 1 4 5 】

次いで、図 1 2 ( C ) に示したように、隣接する半導体チップ同士の間を切断して、半導体チップを含む半導体装置として個片化する。

【 0 1 4 6 】

この個片化工程は、好ましくは高速回転するブレードにより、切削することにより行うのがよい。

【 0 1 4 7 】

このように第 2 の実施の形態の製造方法によれば、特に半導体チップ 3 0 の第 2 の主表面 3 8 側が、拡張部 2 0 により効果的に保護されている半導体装置 1 0 を簡易な工程で製造することができる。

【 0 1 4 8 】

（第 3 の実施の形態）

次に図 1 3 ( A ) ～ ( D ) を参照して、この発明の第 3 の実施の形態の半導体装置につき説明する。この第 3 の実施の形態の半導体装置 1 0 は、上述の第 1 及び第 2 の実施の形態の半導体装置 1 0 の構成に加えて、拡張部 2 0 の第 1 の面 2 0 a 及び半導体チップ 3 0 の表面保護膜 3 5 上に、絶縁膜 4 0 が形成されていることを特徴としている。また、拡張部 2 0 が、半導体チップ 3 0 側に、向かうほど徐々に薄くなっていく形状の傾斜を有する内側壁 2 4 を具えることを特徴としている。

【 0 1 4 9 】

なお、後述する製造工程において、適用される材料、工程の実施条件等は、既に説明した第 1 の実施の形態とほぼ同様であるので、その詳細な説明は省略する。また、各図において、平面図についても、第 1 の実施の形態で既に説明した図と同様であるのでその図示及び詳細な説明は省略する。

## 【 0 1 5 0 】

図 1 3 (A)、(B)、(C) 及び (D) を参照して、この発明の第 3 の実施の形態の半導体装置につき説明する。図 1 3 (A)、(B)、(C) 及び (D) は第 3 の実施の形態の半導体装置の概略的な断面図である。図 1 3 (A) は、第 1 の実施の形態の半導体装置に絶縁膜 4 0 を設けた構成例である。図 1 3 (B) は、図 1 3 (A) の変形例であって、拡張部 2 0 が半導体チップ 3 0 側に向かうほど徐々に肉薄となっていく形状の傾斜を有する内側壁 2 4 を具える構成例である。図 1 3 (C) は、第 2 の実施の形態の半導体チップに絶縁膜 4 0 を設けた構成例である。図 1 3 (D) は、図 1 3 (C) の変形例であって、拡張部 2 0 が、半導体チップ 3 0 側に向かうほど徐々に肉薄となっていく形状の傾斜を有する内側壁 2 4 を具える構成例である。

## 【 0 1 5 1 】

この発明の第 3 の実施の形態の半導体装置 1 0 は、いずれも下地 1 2 を具えている。

## 【 0 1 5 2 】

そして、下地 1 2 上の半導体チップ配置領域 1 4 には、拡張部 2 0 が形成されている。図 1 3 (A) 及び (B) の構成例では、半導体チップ配置領域 1 4 が露出するように拡張部 2 0 が設けられている。図 1 3 (C) 及び (D) の構成例の場合には、拡張部 2 0 は、後に半導体チップが設けられる凹部 2 2 を具えている。凹部 2 2 は、半導体チップ配置領域 1 4 の輪郭と一致する底面部 2 2 a を具えている。

## 【 0 1 5 3 】

そして、半導体チップ配置領域 1 4 上又は凹部 2 2 内には半導体チップ 3 0 が設けられている。

## 【 0 1 5 4 】

この半導体チップ30は、上述したように、所定の機能を有する回路素子（図示せず。）を具えている。半導体チップ30は第1の主表面36と、この第1の主表面36に対向する第2の主表面38を具えている。半導体チップ30は、第1の主表面36上に表面保護膜35と、この表面保護膜35の表面と第2の主表面38との間に存在する1又は2以上の側面37とを具えている。この表面保護膜35は絶縁性の材料により構成されている。回路素子に接続されている複数の電極パッド34は、第1の主表面36上に、表面保護膜35から少なくともその一部分が露出するように、第1の主表面36の周縁に沿って形成されている。

## 【0155】

そして、この半導体チップ30は、第1の主表面36が上面となるように、すなわち第2の主表面38が、半導体チップ配置領域14上又は拡張部20の凹部22の底面部22aに対面するように設けられている。

## 【0156】

結果として、拡張部20は、図13（A）及び（B）の構成においては、半導体チップ30の側面37を囲むように設けられている。図13（C）及び（D）の構成の場合には、拡張部20は半導体チップ30の表面保護膜35の表面以外の面、すなわち側面37及び第2の主表面38を囲むように、設けられている。このとき、表面保護膜35の表面のレベルと、硬化処理後の拡張部20の第1の面20aのレベルとは、実質的に同一のレベルとなるようにされる。

## 【0157】

拡張部20を形成するための材料の物性等の要件については、第1及び第2の実施の形態と同様であるのでここではその詳細な説明を省略する。

## 【0158】

拡張部20の第1の面20a及び半導体チップ30の表面保護膜35上には、半導体チップ30の電極パッド34が露出するように、絶縁膜40が形成されている。

## 【0159】

絶縁膜40上には複数の配線パターン42が形成されている。配線パターン42は、外部端子47の下部に接続されて位置する電極ポストと、対応する電極パ

ッド 3 4 とが規則的、かつ電氣的に接続されている。これら配線パターン 4 2 を構成する配線として、例えば長配線 4 2 a、中配線 4 2 b 及び短配線 4 2 c を設ける。これらの配線 4 2 a、4 2 b 及び 4 2 c を、それぞれ対応する電極パッド 3 4 に、1 つの配線と 1 つの電極パッドという、1 対 1 の接続関係で、接続してある。

## 【0 1 6 0】

これら複数の配線パターン 4 2 は、少なくともそのうち一部が半導体チップの上側（真上）の領域、すなわち電極パッド 3 4 に電氣的に接続されて、ここから拡張部 2 0 の上側の領域へまたがるように導出されている。

## 【0 1 6 1】

拡張部 2 0 の上側（真上）の領域は、外部端子形成領域を半導体チップ 3 0 の表面領域外に拡張している意味で拡張された領域 2 1 と称せられる。この構成例では拡張された領域 2 1 にも電極ポスト 4 6 を介して外部端子 4 7 とが形成されている。

## 【0 1 6 2】

この構成例では、外部端子 4 7 を、例えば半田ボール 4 7 a で形成している。これら半田ボール 4 7 a は、電極ポスト 4 6 の頂面に設けられていて、これら電極ポスト 4 6 を介して、配線パターン 4 2 と電氣的に接続されている。この隣接する電極ポスト 4 6 同士の配列及びその間隔は、例えばプリント基板等への実装を考慮して、所望の配列及び間隔とすることができる。

## 【0 1 6 3】

絶縁膜 4 0 の表面上には、複数の配線パターンを具えた配線パターン 4 2 が、露出している電極パッド 3 4 に電氣的に接続されて形成されている。

## 【0 1 6 4】

配線パターン 4 2 は、半導体チップ 3 0 の出力信号、半導体装置 1 0 に要求される外部端子の配置位置等を考慮して、所望のパターンで形成することができる。

## 【0 1 6 5】

この発明の第 3 の実施の形態の半導体装置 1 0 は、上述した第 1 の実施の形態

で得られる効果に加えて、例えば拡張部 20 の表面と、半導体チップ 30 の表面とに段差が生じてしまう場合、拡張部 20 が半導体チップ 30 側に向かうほど徐々に肉薄となっていく形状の傾斜を有する内側壁 24 を有する場合、又は拡張部 20 の表面にうねりや窪みが生じてしまった場合等に、絶縁膜 40 用の材料により、後に配線パターンが形成できる程度に、段差、うねり及び／又は窪みの程度を緩和するか、又は絶縁膜 40 を平坦に形成することができる。従って、後の配線パターンの形成工程、電極ポストの形成工程をより安定した状態で行えるので、半導体装置 10 の信頼性を向上させる効果が得られる。

## 【0166】

次に図 14 (A) ～図 15 (C) を参照して、第 3 の実施の形態の半導体装置の製造方法につき説明する。ここでは図 13 (D) に示した構成例を代表として例示し、他の構成例と対比しながら説明する。

## 【0167】

各図は、第 3 の実施の形態の半導体装置の各製造工程を説明するための概略的な断面図である。

## 【0168】

予め、下地 12 上に、適用される半導体チップ 30 の外形サイズに合わせて半導体チップ配置領域 14 を設定しておく。隣接する半導体チップ領域 14 同士間の間隔は、互いに等間隔としておく。この間隔は、例えば後に個片化する工程に必要なマージン面積、所望の外部端子の数に応じて形成される拡張部の面積等を考慮して、決定される。

## 【0169】

まず、図 14 (A) に示したように、この下地 12 上に、拡張部 20 を形成するための絶縁性の材料 20' を設ける。絶縁性の材料 20' の物性等の要件については第 1 の実施の形態と同様であるのでその詳細な説明は省略する。

## 【0170】

この絶縁性の材料 20' は、後の工程で半導体チップを設けるための凹部 22 を形成するように下地 12 上に設けられる。この凹部 22 は、半導体チップ配置領域 14 の輪郭と一致する底面部 22 a を具えるように形成される。この凹部 2



2の底面部22a側の厚さd3は、例えば後に設けられる半導体チップ30の放熱性等を考慮して、適宜設定することができる。

## 【0171】

また、半導体装置10が図13(A)及び(B)に示した構成をとる場合には、下地12上の半導体チップ配置領域14が露出するように設ける。

## 【0172】

拡張部20の形成に適用可能な方法については、第1の実施の形態で説明したとおりであるのでその詳細な説明を省略する。

## 【0173】

図13(C)及び(D)に示した構成とする場合には、第1及び第2の実施の形態で説明したように、絶縁性の材料20'を、下地12上の全面に凹部22の底面部22a側の厚さd3に等しい厚さで、ディスペンス方式、精密印刷方式又はフォトリソグラフィ法等を適用して、1段階又は2段階の工程により凹部22を具えた拡張部20を形成する。

## 【0174】

このとき、硬化処理の硬化条件によって、拡張部20の凹部(開口部)22に半導体チップ30側に向かうほど徐々に肉薄となっていく形状の傾斜を有する内側壁24を形成することができる。例えば標準的な硬化工程によっても内側壁24を形成することができる。好ましくは、例えば初期硬化を適正な温度よりも高温で、材料の表面側のみが硬化する程度の時間で加熱を行った後、適正な温度で材料(層)の内部まで硬化することにより、傾斜を有する内側壁24を形成することができる。

## 【0175】

また、例えばフォトリソグラフィ法によるマスク、露光及び現像工程により、半導体チップ30に向かうほど徐々に肉薄となっていく内側壁24を形成することもできる。このフォトリソグラフィ法による傾斜を有する内側壁24の形成工程によれば、より精密に傾斜の角度を設定して形成することが容易になる。

## 【0176】

次に、図14(B)に示したように、傾斜を有する内側壁24の表面に沿って

滑らせるようにして拡張部 2 0 の凹部 2 2 内に半導体チップ 3 0 を設ける。

【 0 1 7 7 】

なお、図 1 3 (A) 及び (C) の構成とする場合には、半導体チップ 3 0 を設けた後に、絶縁性の材料 2 0 ' を硬化して、半導体チップ 3 0 を半導体素子配置領域 1 4 上又は凹部 2 2 内に設けた状態で拡張部 2 0 を形成してもよい。

【 0 1 7 8 】

結果として、半導体チップ 3 0 は、表面保護膜 3 5 の表面以外の面、すなわち側面 3 7 及び第 2 の主表面 3 8 とが拡張部 2 0 により、囲まれる。図 1 3 (A) 及び (C) の構成とする場合には、表面保護膜 3 5 の表面及び第 2 の主表面以外の面、すなわち側面 3 7 が拡張部 2 0 により囲まれる。

【 0 1 7 9 】

このとき、好ましくは、表面保護膜 3 5 の表面のレベルと、硬化処理後の拡張部 2 0 の第 1 の面 2 0 a のレベルとは、実質的に同一のレベルとなるようにされる。

【 0 1 8 0 】

次いで、表面保護膜 3 5 と拡張部 2 0 の表面 2 0 上には、絶縁膜 4 0 が形成される。

【 0 1 8 1 】

絶縁膜 4 0 は、半導体チップ 3 0 の電極パッド 3 4 が露出するように形成される。

【 0 1 8 2 】

このとき、一旦電極パッド 3 4 を覆うように絶縁膜 4 0 を形成した後、又は絶縁膜 4 0 の材料を設けた後に、例えばフォトリソグラフィ法等を用いて、電極パッド 3 4 を露出させる工程としてもよい。

【 0 1 8 3 】

上述したように拡張部 2 0 の第 1 の面 2 0 a と、半導体チップ 3 0 の表面保護膜 3 5 との境界に段差が生じてしまう場合がある。また、拡張部 2 0 の第 1 の面 2 0 a にうねりや窪みが生じてしまう場合もある。これらの場合には、絶縁膜 4 0 用の材料により、後に配線パターン 4 2 が形成できる程度に、この段差の程度

を緩和するか、又は絶縁膜 4 0 を平坦に形成することもできる。

【 0 1 8 4 】

この絶縁膜 4 0 は、例えば拡張部 2 0 の材質等に応じた適宜の材料を用い、好適な方法を選択して実施すればよい。例えば、絶縁膜 4 0 の形成工程はスピニング法、印刷法又は直接塗布プロセス等の従来公知の方法により、実施することができる。

【 0 1 8 5 】

然る後、図 1 4 (C) に示したように、絶縁膜 4 0 の表面上に、複数の配線パターン 4 2 を形成する。

【 0 1 8 6 】

この配線パターン 4 2 は、表面保護膜 3 5 の上側（真上）から拡張部 2 0 の第 1 の面 2 0 a の上側（真上）の領域を含む領域に、導出されるパターンを含むようにスパッタ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における配線パターンの形成プロセスにより、例えばアルミニウム、銅及び金属合金等の適宜の材料を選択して、行うことができる。

【 0 1 8 7 】

次いで、図 1 5 (A) に示したように、配線パターン 4 2 の表面上であって、拡張部 2 0 の上側（真上）に相当する領域、すなわち拡張された領域 2 1 を含む領域に、複数の電極ポスト 4 6 を、例えば格子状に所定の間隔で形成する。この複数の電極ポスト 4 6 同士の間隔は、上述したように実装を考慮した間隔として、すなわち一定な、或いは不規則の間隔とすることができる。

【 0 1 8 8 】

この電極ポスト 4 6 はメッキ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における電極ポスト 4 6 の形成プロセスにより、適宜の材料を選択して、行うことができる。

【 0 1 8 9 】

さらに拡張部 2 0 及び／又は半導体チップ 3 0 上に形成されている配線パターン 4 2 及び電極ポスト 4 6 を覆うように、封止部 4 4 を形成する。

【 0 1 9 0 】

この封止部 4 4 の形成工程は、従来公知の封止工程により、従来公知の封止材料、例えばエポキシ系のモールド樹脂を使用して実施することができる。

【 0 1 9 1 】

適用されるモールド樹脂の物性等の要件については、第 1 の実施の形態と同様であるのでその詳細な説明は省略する。

【 0 1 9 2 】

拡張部 2 0 及び封止部 4 4 のモールド樹脂の物性の組み合わせ例についても第 1 の実施の形態と同様であるので、ここでは説明を省略する。

【 0 1 9 3 】

然る後、図 1 5 ( B ) に示したように、封止部 4 4 をその表面側から削り取って、電極ポスト 4 6 の頂面（上面とも称する。）を、露出させる。

【 0 1 9 4 】

この工程は、従来公知の研削や、研磨工程を適用して行う。

【 0 1 9 5 】

そして、封止部 4 4 の表面から露出している電極ポスト 4 6 を介してその上面に、外部端子 4 7 として例えば半田ボール 4 7 a を形成する。

【 0 1 9 6 】

次いで、図 1 5 ( C ) に示したように、隣接する半導体チップ同士の間を切断して、所定の機能を発揮する単一の半導体装置を含む構造体として個片化する。

【 0 1 9 7 】

この個片化工程は、好ましくは高速回転するブレードにより、切削することにより行うのがよい。

【 0 1 9 8 】

このように第 3 の実施の形態の製造方法によれば、特に、半導体チップ 3 0 の第 2 の主表面 3 8 側が、拡張部 2 0 により効果的に保護されている半導体装置 1 0 を簡易な工程で製造することができる。

【 0 1 9 9 】

この発明の半導体装置 1 0 を、例えば複数個積層する構成とすることもできる。この場合には、例えば従来公知の方法により拡張部 2 0 にスルーホールを形成

し、積層用の端子を形成すればよい。

【0200】

この発明のすべての実施の形態において、電極ポスト46は、アルミニウム、銅等の導電性材料により形成するのがよい。好ましくは銅により形成するのがよい。このとき電極ポスト46の表面に薄い酸化層を形成しておくのがよい。このようにすれば電極ポスト46と封止部44の接着性が向上するため、耐湿性が向上する。

【0201】

さらにこの発明のすべての実施の形態において、外部端子47として半田ボール47aを電極ポスト46上に形成する、いわゆるBGA (Ball Grid Array) 型につき説明したが、これに限定されない。例えば、いわゆるLGA (Land Grid Array) 型等の構成することもできる。

【0202】

具体的には、露出している電極ポスト46表面に直接的に半田層を形成するか、電極ポスト46表面にバリアメタル層を形成した後、このバリアメタル層上に金 (Au) メッキ層を形成する。或いは電極ポスト46表面に直接的にSn (スズ) 層を形成して、これを外部端子とする構成としてもよい。

【0203】

また、この発明のすべての実施の形態において、封止部の形状は、いわゆるソーカットタイプのみならず、この発明の目的を損なわない範囲で、下地及び／又は拡張部の外形と合っていなくともよい。

【0204】

【発明の効果】

この発明の半導体装置の構成によれば、搭載される半導体チップの側面部を囲むように設けられている拡張部上、すなわち拡張された領域を含む領域にも、外部端子を設けることができる、いわゆるファンアウト構造又はファンイン／ファンアウト構造が可能な構成としてあるので、外部端子の配置間隔及び配置位置等の設計の自由度を大きくすることができる。

【0205】

この発明の半導体装置は、いわゆるWCSPの製造工程を利用して、基板等のインターポーザを使用せずに直接的に半導体チップと外部電極とを接続する構成とすることができるので、上述の効果に加えて、ワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、フリップチップ接続との比較では、同等の電気的特性をより安価に得ることができる。

#### 【0206】

この発明の製造方法によれば、第1、第2及び第3の実施の形態の半導体装置を簡易な工程で製造することができる。特に絶縁膜を設けない構成例によれば、工程の削減による効率的な製造及びさらなるコスト削減効果が期待される。さらに半導体装置の第2の主表面に接するように、拡張部の材料を設ける例によれば、硬化により、これらを互いに接着することができるので、より容易に半導体装置を製造することができる。また、傾斜している内側壁を有する拡張部をあらかじめ構成する構成例によれば、内側壁の表面上を滑らせるようにして開口部（凹部）内に位置決めして半導体チップを効率的に設けることができるので、製造工程の効率のさらなる向上が期待される。

#### 【図面の簡単な説明】

##### 【図1】

（A）はこの発明の半導体装置の構成を説明するための上面からみた概略的な平面図であり、（B）は、配線パターンと電極パッドとの接続関係を説明するために、（A）の一部領域を拡大して示した概略的な要部平面図である。

##### 【図2】

図1（A）のI-I破線により切断した第1の実施の形態の半導体装置の切断面を示す概略的な断面図である。

##### 【図3】

（A）及び（B）は、この発明の第1の実施の形態の半導体装置の製造方法を説明するための上面からみた概略的な平面図及び断面図（1）である。

##### 【図4】

（A）及び（B）は、この発明の第1の実施の形態の半導体装置の製造方法を

説明するための上面からみた概略的な平面図及び断面図（２）である。

【図 5】

（Ａ）及び（Ｂ）は、この発明の第 1 の実施の形態の半導体装置の製造方法を説明するための上面からみた概略的な平面図及び要部拡大平面図（３）である。

【図 6】

この発明の第 1 の実施の形態の半導体装置の製造方法を説明するための概略的な断面図（３－２）である。

【図 7】

（Ａ）及び（Ｂ）は、この発明の第 1 の実施の形態の半導体装置の製造方法を説明するための上面からみた概略的な平面図及び断面図（４）である。

【図 8】

（Ａ）及び（Ｂ）は、この発明の第 1 の実施の形態の半導体装置の製造方法を説明するための上面からみた概略的な平面図及び断面図（５）である。

【図 9】

（Ａ）及び（Ｂ）は、この発明の第 1 の実施の形態の半導体装置の製造方法を説明するための上面からみた概略的な平面図及び断面図（６）である。

【図 1 0】

この発明の第 2 の実施の形態の半導体装置の構成を説明するための概略的な断面図である。

【図 1 1】

（Ａ）、（Ｂ）及び（Ｃ）は、この発明の第 2 の実施の形態の半導体装置の製造方法を説明するための概略的な断面図（１）である。

【図 1 2】

（Ａ）、（Ｂ）及び（Ｃ）は、この発明の第 2 の実施の形態の半導体装置の製造方法を説明するための概略的な断面図（２）である。

【図 1 3】

（Ａ）、（Ｂ）、（Ｃ）及び（Ｄ）は、この発明の第 3 の実施の形態の半導体装置の構成例を説明するための概略的な断面図である。

【図 1 4】

(A)、(B) 及び (C) は、この発明の第 3 の実施の形態の半導体装置の製造方法を説明するための概略的な断面図 (1) である。

【図 1 5】

(A)、(B) 及び (C) は、この発明の第 3 の実施の形態の半導体装置の製造方法を説明するための概略的な断面図 (2) である。

【符号の説明】

- 1 0 : 半導体装置
- 1 1 : 部分領域
- 1 2 : 下地
- 1 4 : 半導体チップ配置領域
- 2 0 : 拡張部
- 2 0 a : 第 1 の面
- 2 0 b : 第 2 の面
- 2 1 : 拡張された領域
- 2 2 : 開口部 (凹部)
- 2 2 a : 底面部
- 2 4 : 内側壁
- 3 0 : 半導体チップ
- 3 4 : 電極パッド
- 3 5 : 表面保護膜
- 3 6 : 第 1 の主表面
- 3 8 : 第 2 の主表面
- 4 0 : 絶縁膜
- 4 2 : 配線パターン
- 4 2 a : 長配線
- 4 2 b : 中配線
- 4 2 c : 短配線
- 4 4 : 封止部
- 4 6 : 電極ポスト

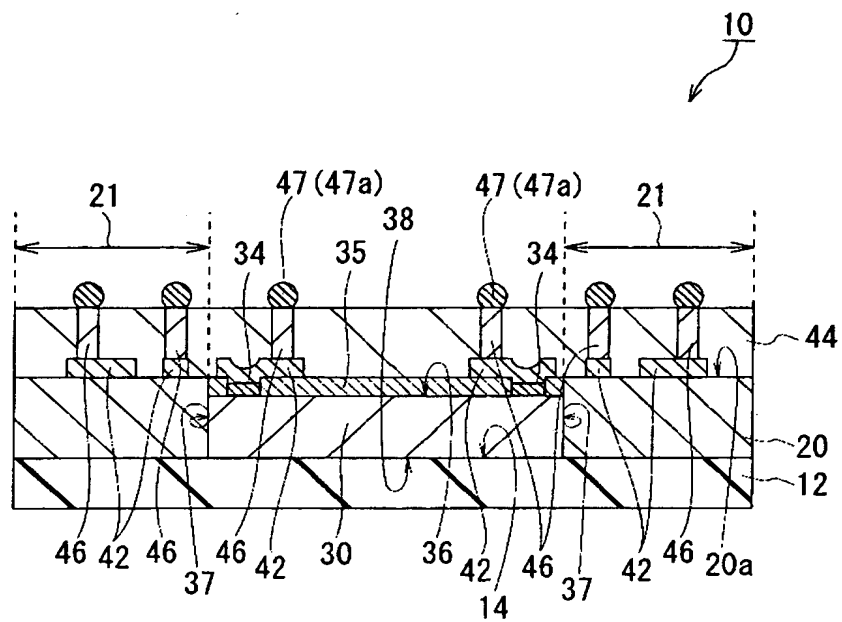


4 7 : 外部端子

4 7 a : 半田ボール

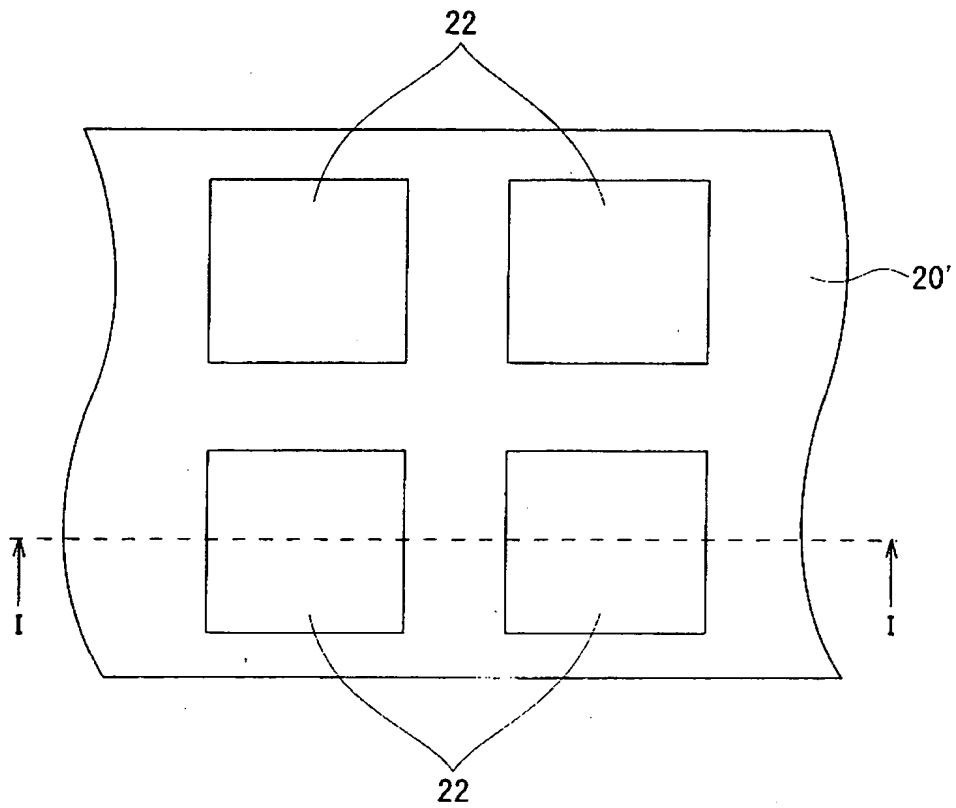


【図 2】

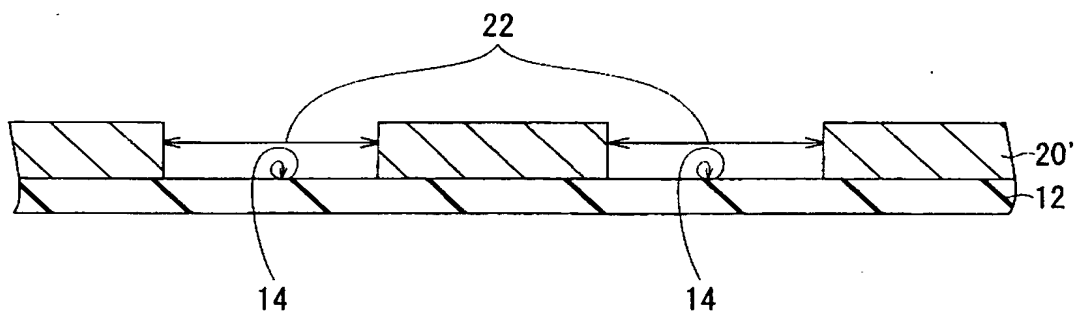


【図 3】

(A)



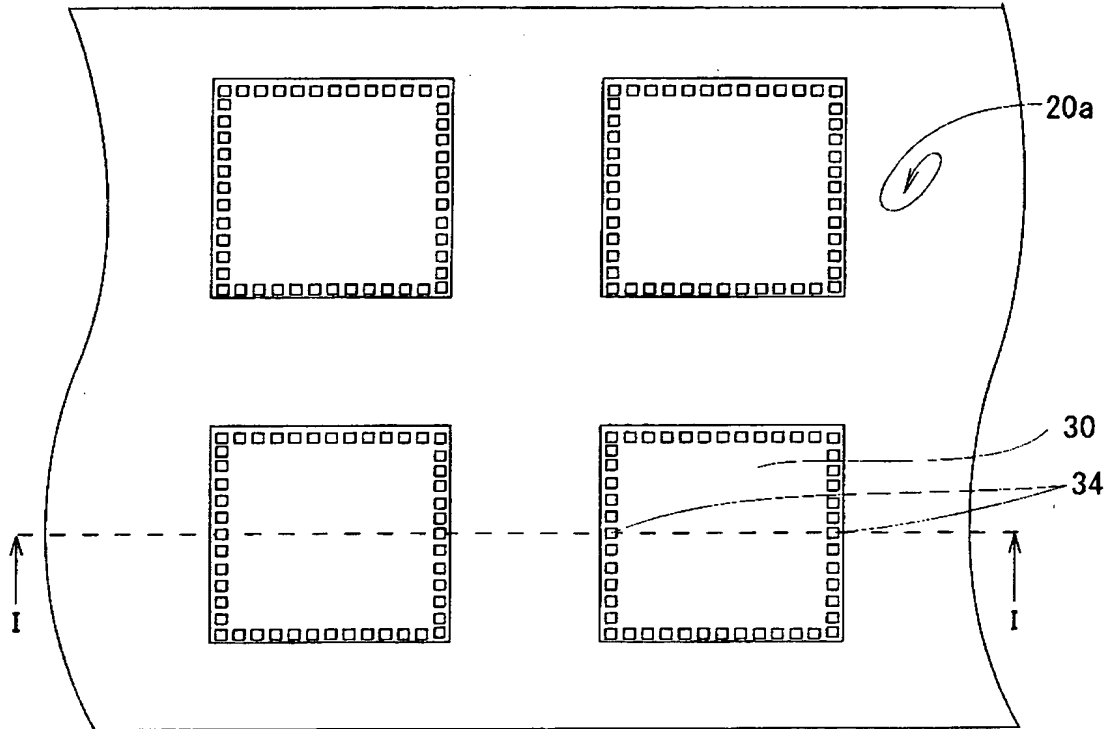
(B)



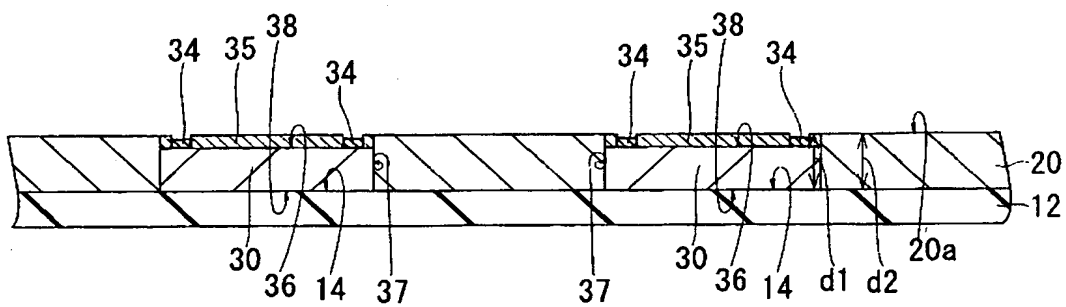
第1の実施の形態の半導体装置の製造方法(1)

【図4】

(A)



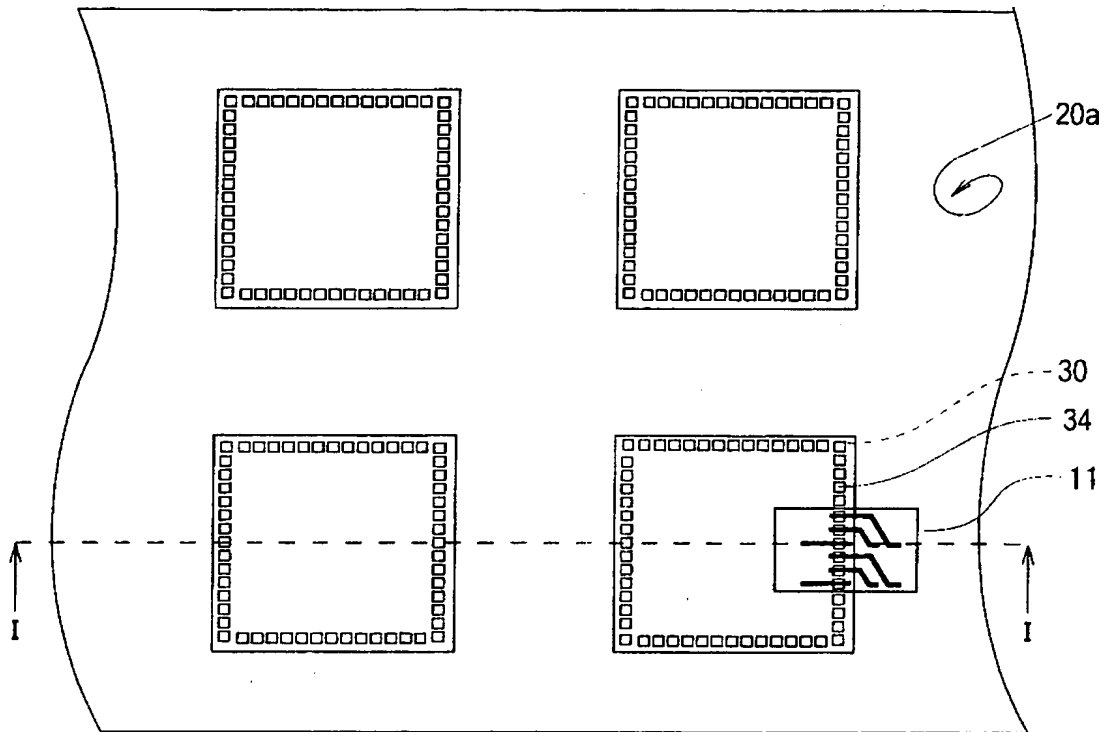
(B)



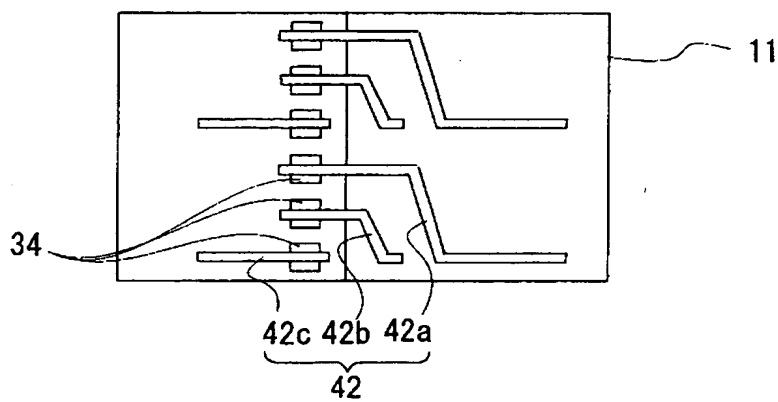
第1の実施の形態の半導体装置の製造方法(2)

【図 5】

(A)

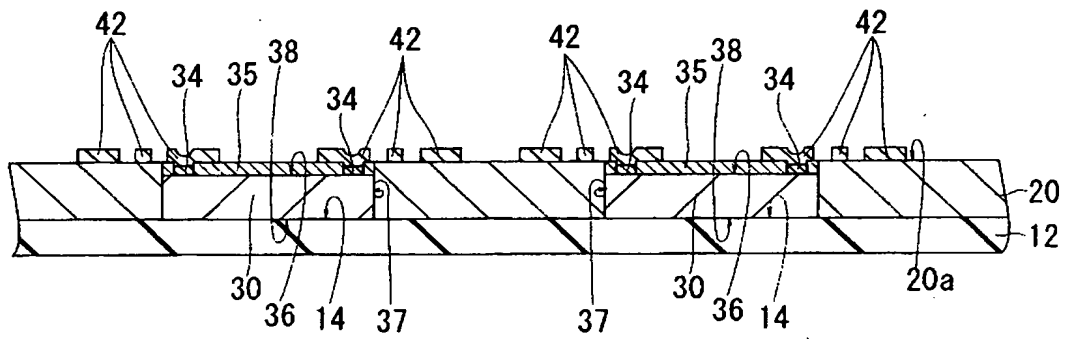


(B)



第1の実施の形態の半導体装置の製造方法(3)

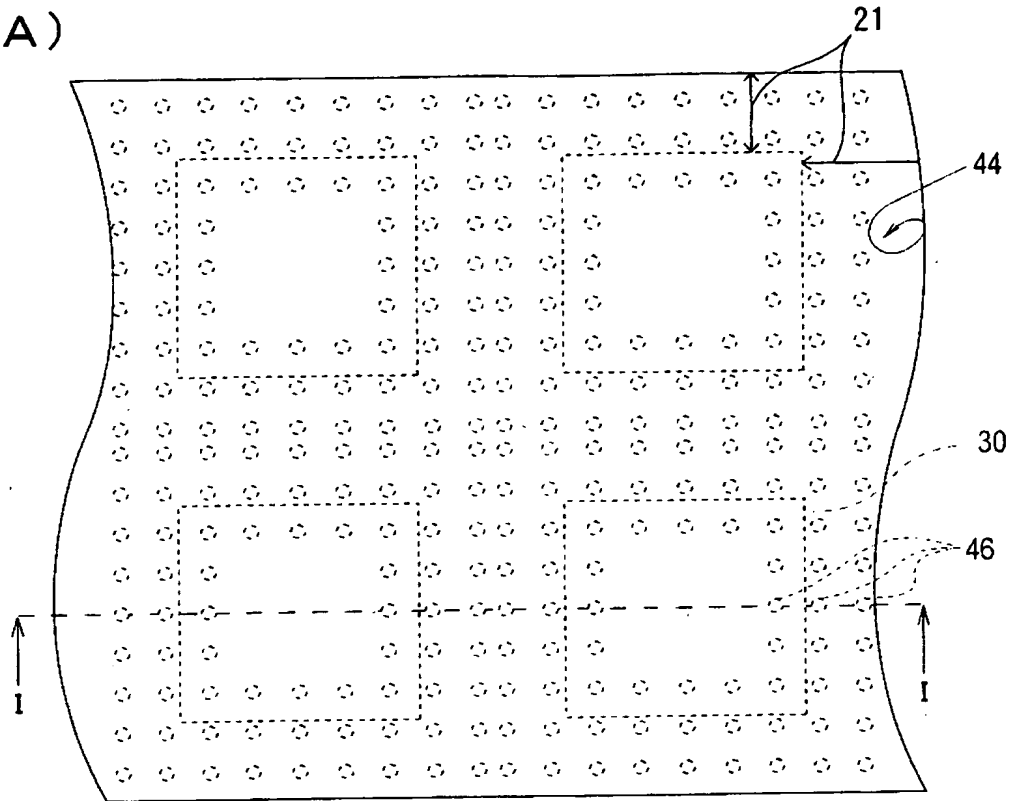
【図 6】



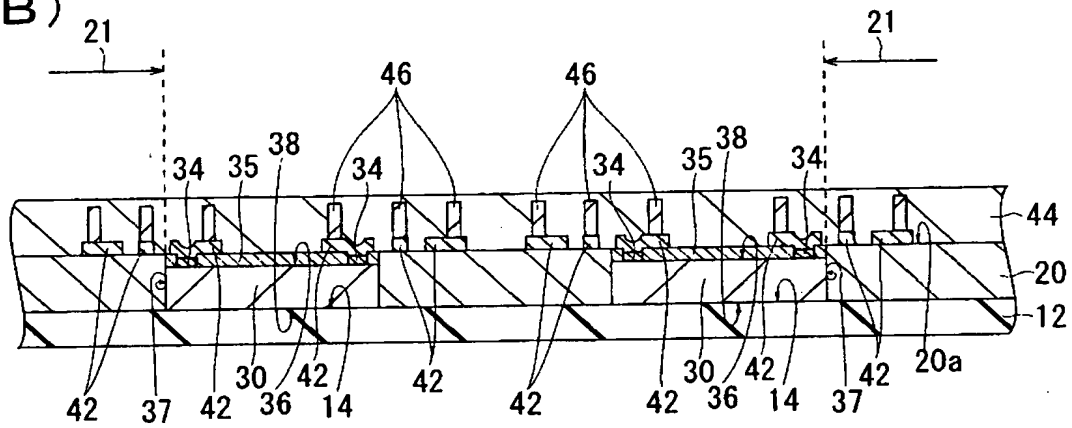
第1の実施の形態の半導体装置の製造方法(3-2)

【図 7】

(A)



(B)

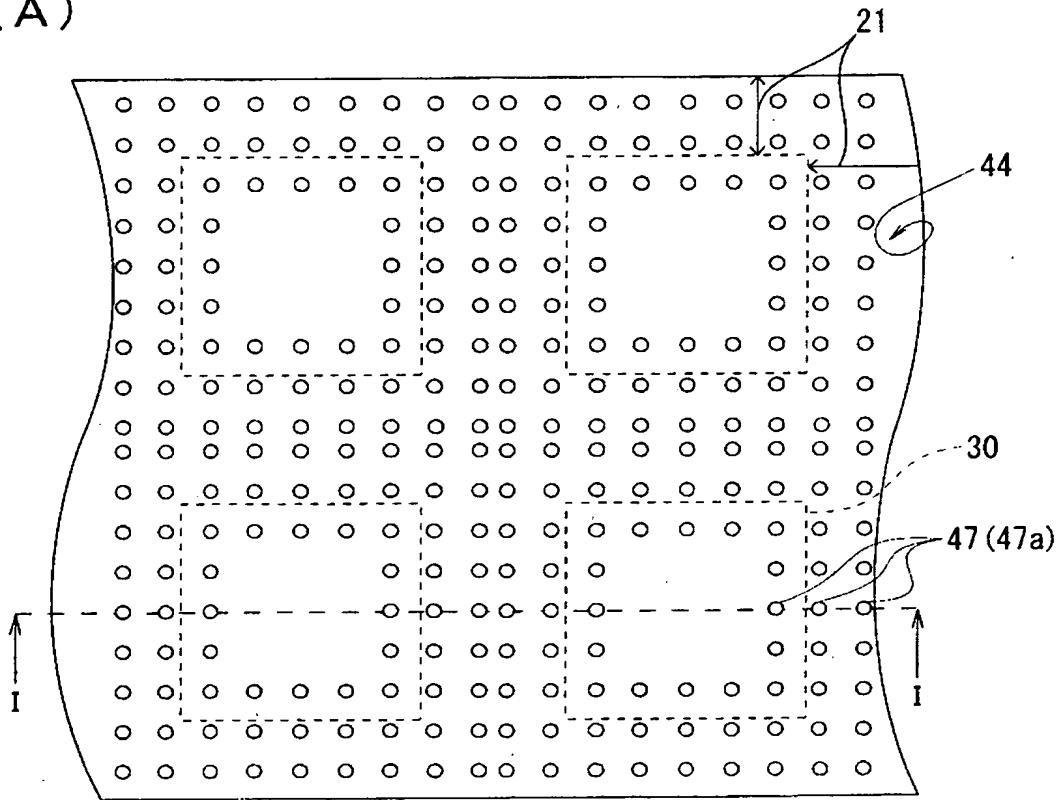


第1の実施の形態の半導体装置の製造方法(4)

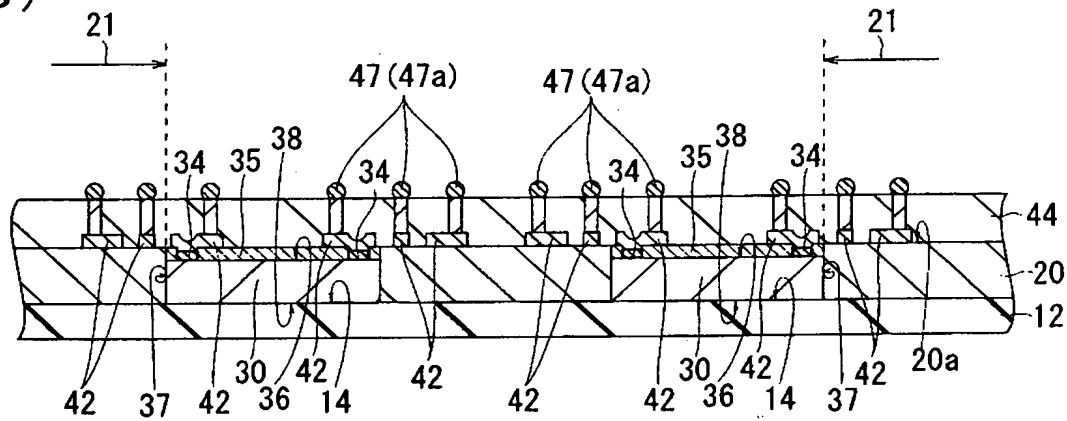


【図 8】

(A)



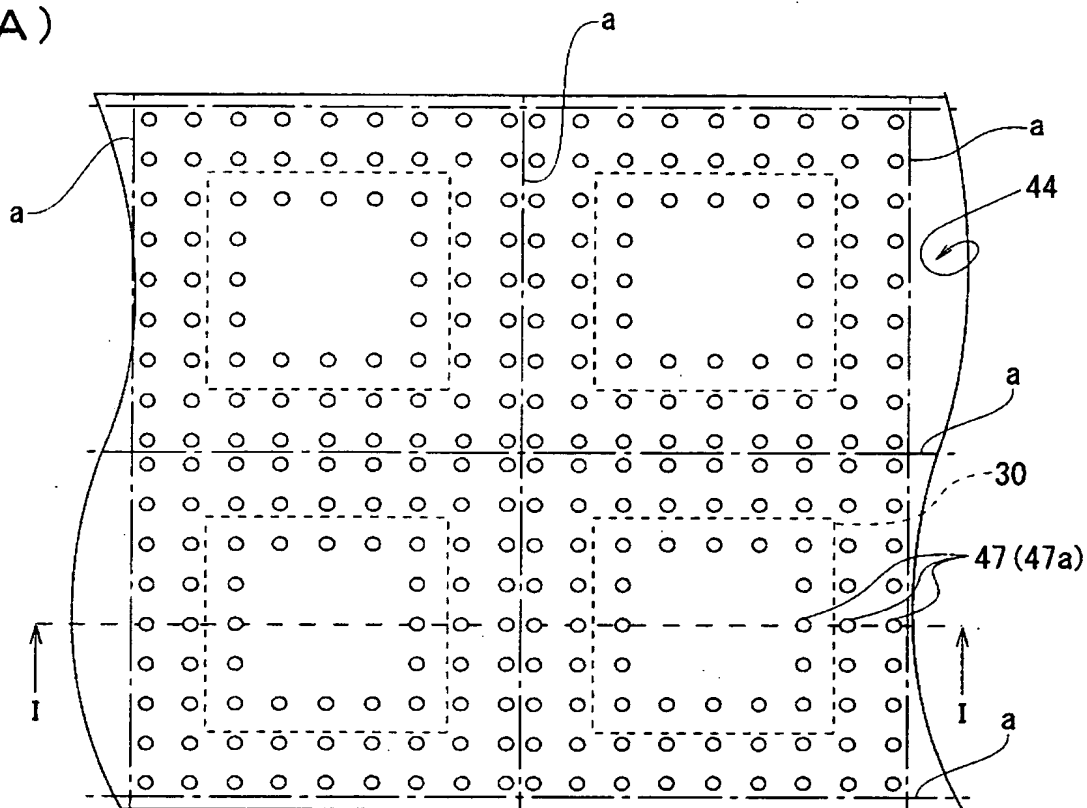
(B)



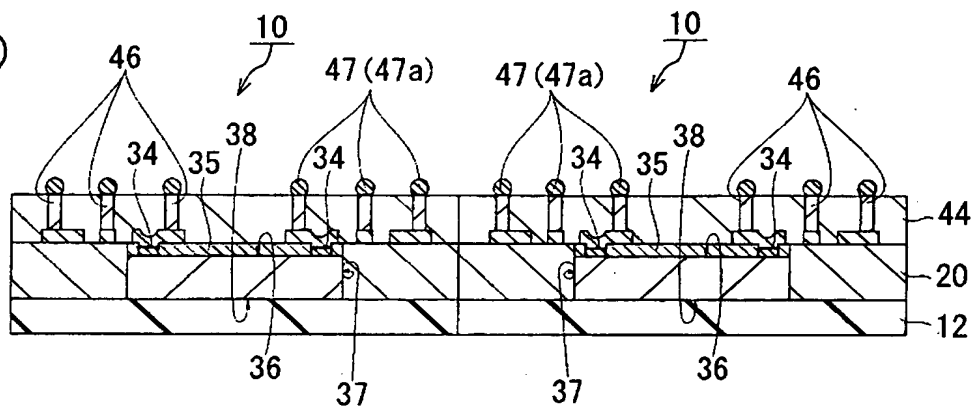
## 第1の実施の形態の半導体装置の製造方法(5)

【図9】

(A)

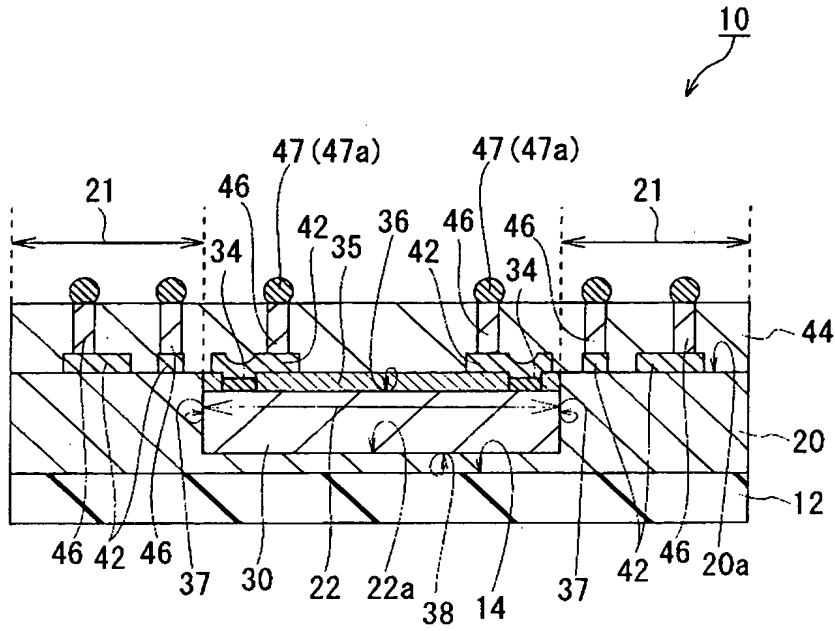


(B)



第1の実施の形態の半導体装置の製造方法(6)

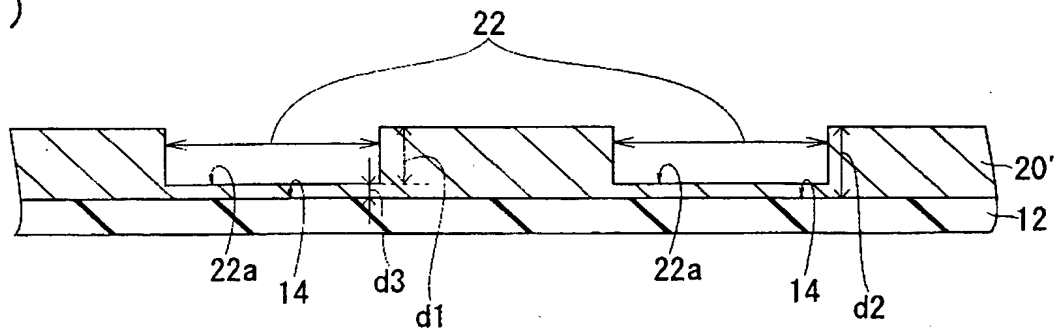
【図 1 0】



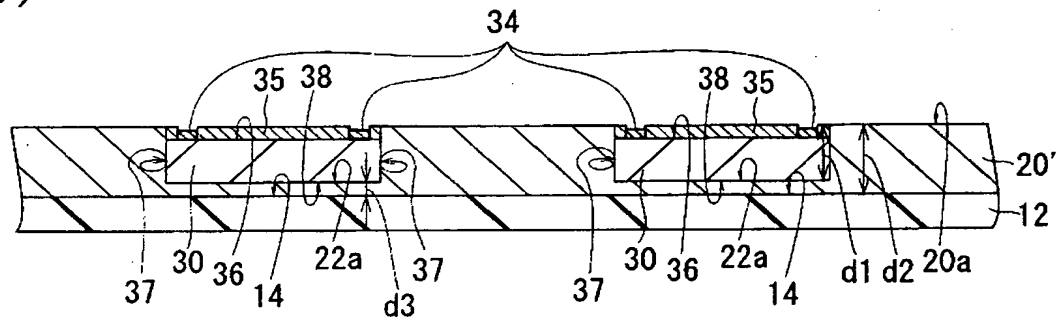
第2の実施の形態の半導体装置を示す図

【図 1 1】

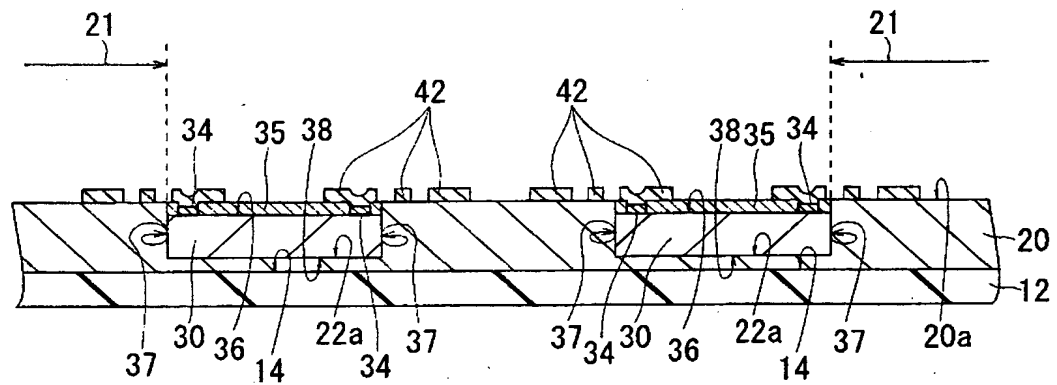
(A)



(B)



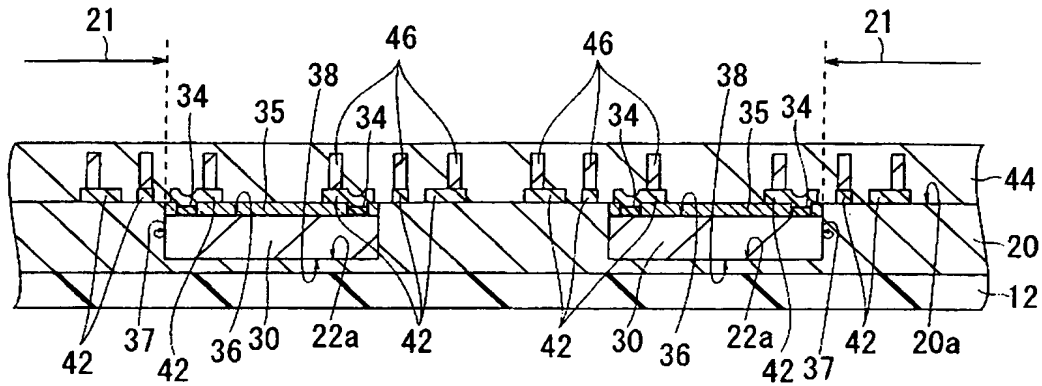
(C)



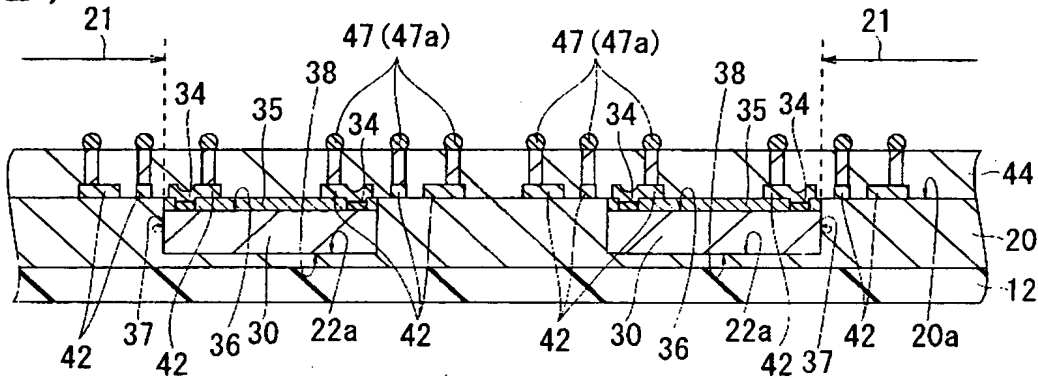
第2の実施の形態の半導体装置の製造方法(1)

【図 1 2】

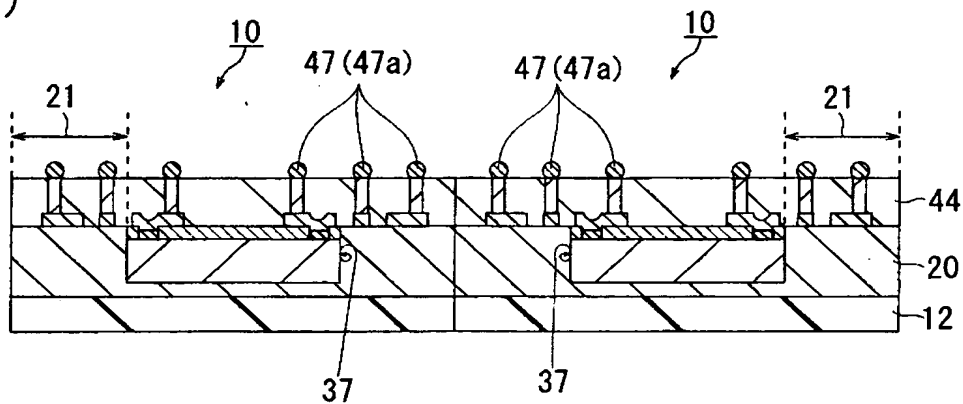
(A)



(B)

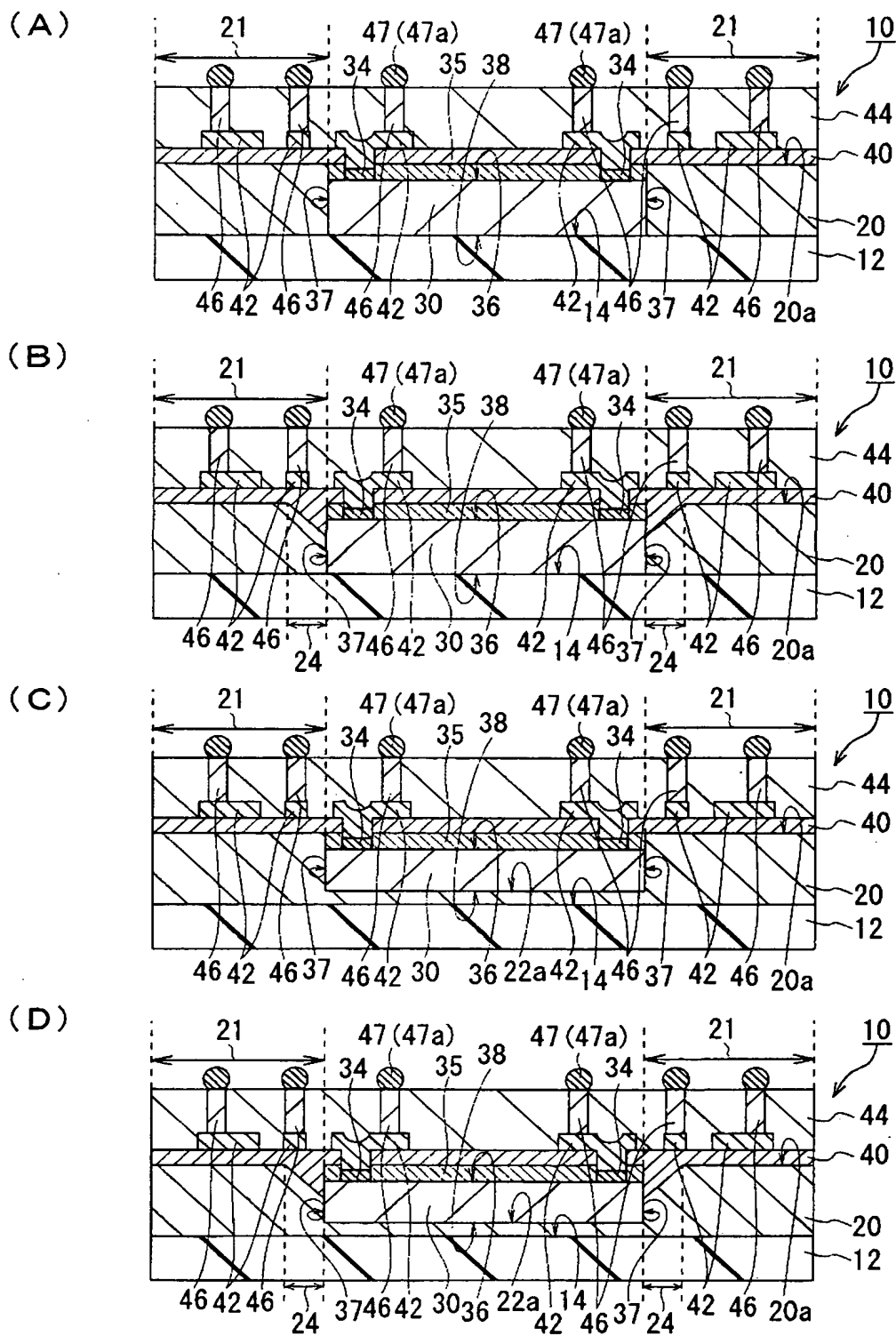


(C)



第2の実施の形態の半導体装置の製造方法(2)

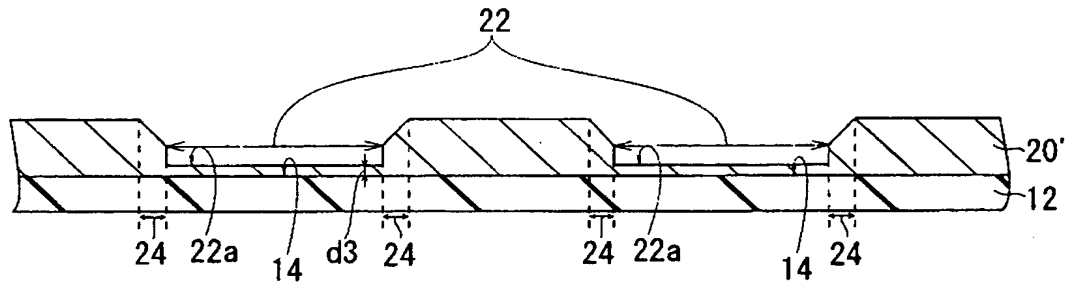
【図13】



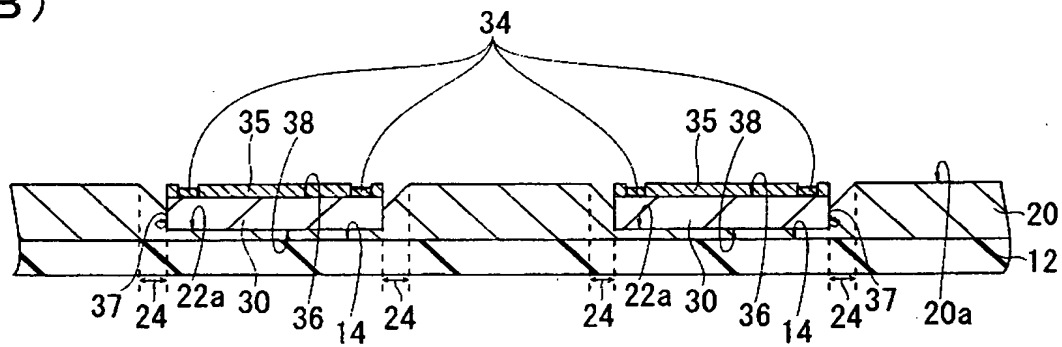
第3の実施の形態の半導体装置の構成例を示す図

【図14】

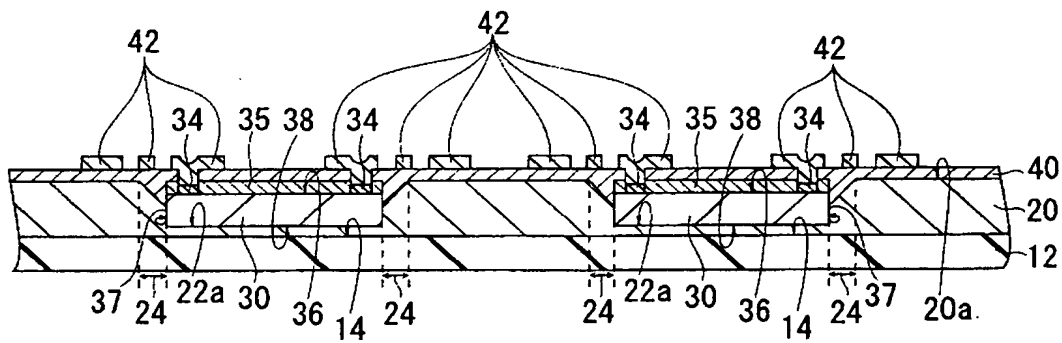
(A)



(B)



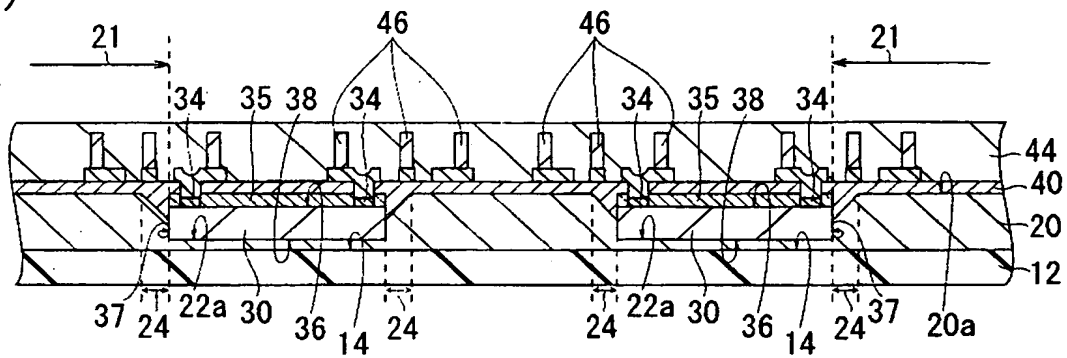
(C)



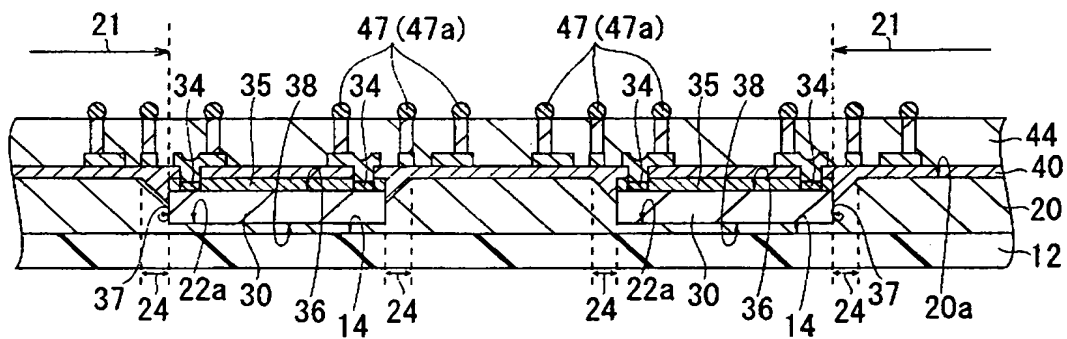
第3の実施の形態の半導体装置の製造方法(1)

【図15】

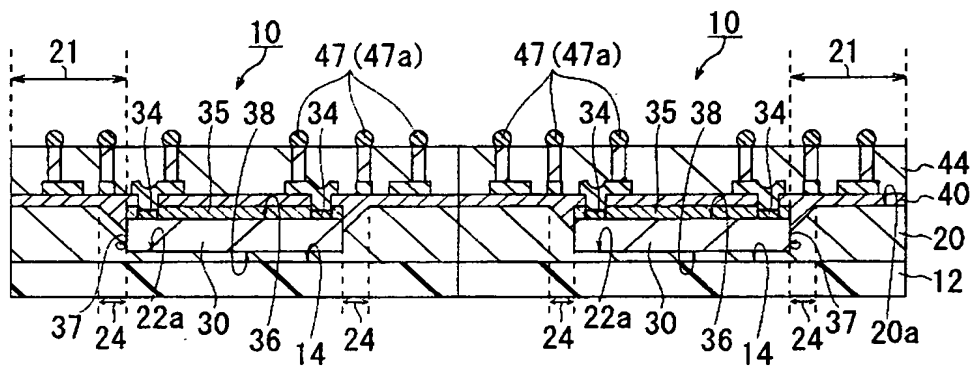
(A)



(B)



(C)



第3の実施の形態の半導体装置の製造方法(2)



【書類名】 要約書

【要約】

【課題】 外部端子のさらなる増加に対応するための構成を有する半導体装置及びその製造方法。

【解決手段】 下地 1 2 と、下地 1 2 上に設けられている、複数の電極パッド 3 4 を具えている第 1 の主表面 3 6 と、第 1 の主表面 3 6 上に設けられている表面保護膜 3 5 と、第 1 の主表面と対向する第 2 の主表面 3 8 と、表面保護膜 3 5 の 表面と第 2 の主表面 3 6 との間の複数の側面 3 7 とを有する半導体チップ 3 0 と、半導体チップ 3 0 の側面 3 7 を囲むように形成されている絶縁性の拡張部 2 0 と、電極パッド 3 4 の各々に電氣的に接続され、電極パッド 3 4 から拡張部 2 0 の表面上へと導出されている、複数の配線パターン 4 2 と、配線パターン 4 2 上に、配線パターン 4 2 の一部分を露出するように形成されている封止部 4 4 と、拡張部 2 0 の上側を含む領域の配線パターン 4 2 上に設けられた複数の外部端子 4 7 とを具えている。

【選択図】 図 2

認定・付加情報

|         |               |
|---------|---------------|
| 特許出願の番号 | 特願2002-325774 |
| 受付番号    | 50201693053   |
| 書類名     | 特許願           |
| 担当官     | 第五担当上席 0094   |
| 作成日     | 平成14年11月11日   |

<認定情報・付加情報>

|       |             |
|-------|-------------|
| 【提出日】 | 平成14年11月 8日 |
|-------|-------------|

出 願 人 履 歴 情 報

識別番号 [000000295]

|          |                  |
|----------|------------------|
| 1. 変更年月日 | 1990年 8月22日      |
| [変更理由]   | 新規登録             |
| 住 所      | 東京都港区虎ノ門1丁目7番12号 |
| 氏 名      | 沖電気工業株式会社        |